

8.2 A Família Lógica TTL

- A maioria dos circuitos TTL possuem uma estrutura similar: Portas NAND e AND usam transistores de emissão múltipla ou múltiplas entradas de diodos de junção.

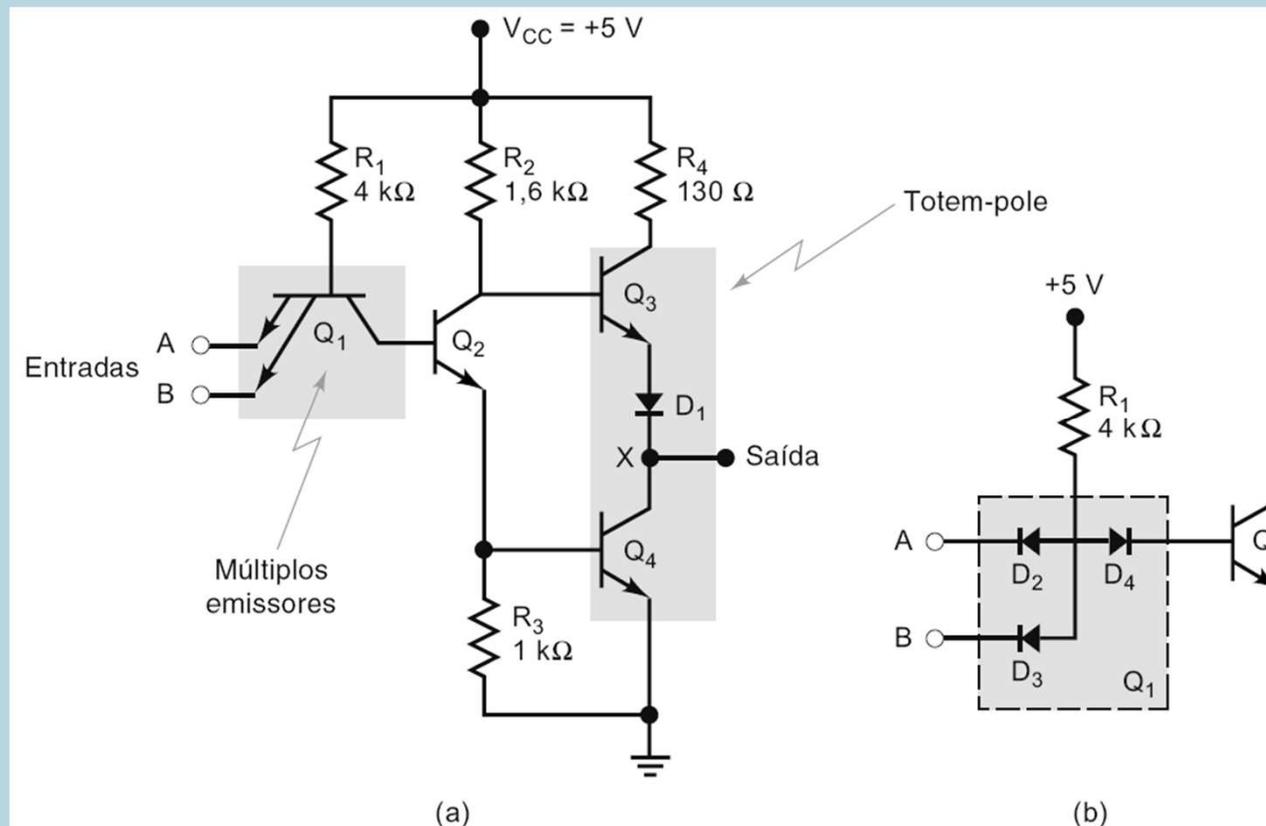
Portas NOR e OR usam transistores de entradas separadas.

- A entrada será o catodo de uma junção P-N:
Uma entrada ALTO irá desligar a junção e apenas uma corrente de fuga é gerada.
Uma entrada BAIXO liga a junção a uma corrente relativamente alta é gerada.

- A maioria dos circuitos TTL tem algum tipo de configuração de saída “totem-pole”.

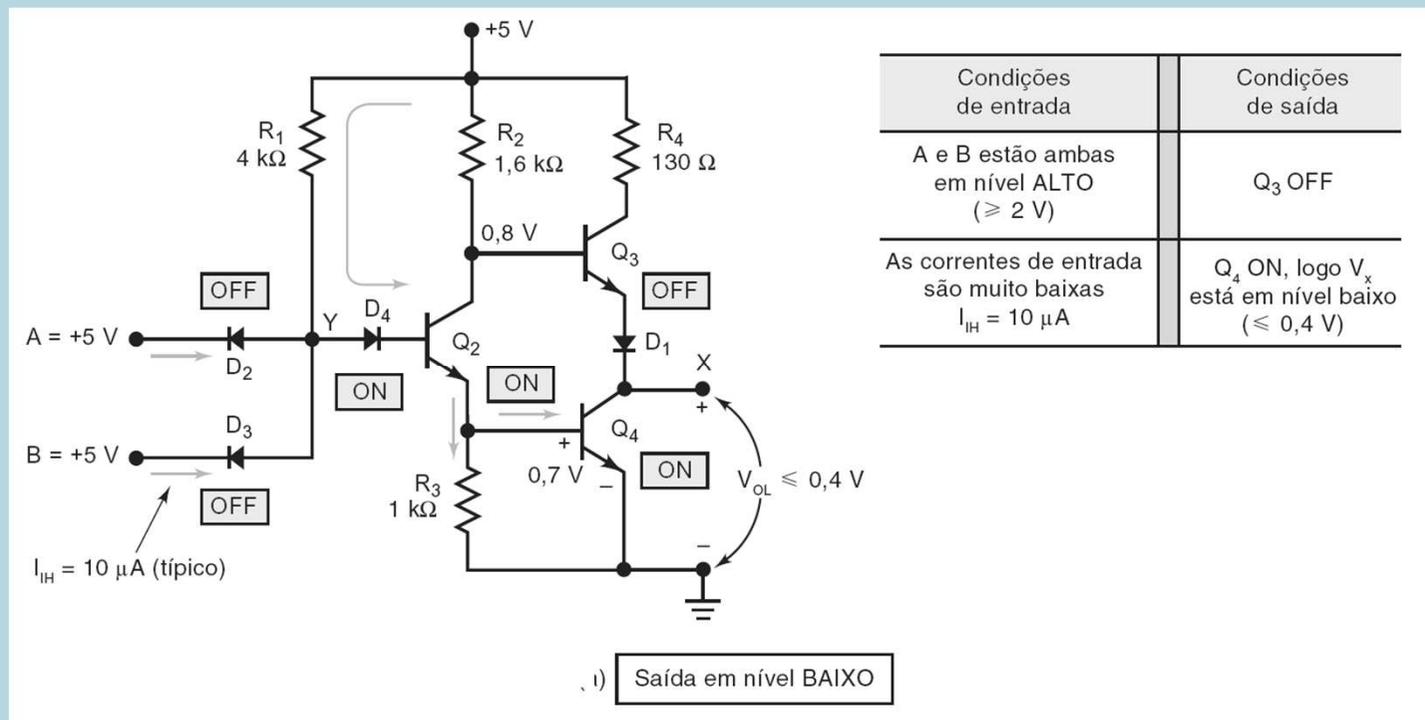
8.2 A Família Lógica TTL

- O circuito lógico TTL básico é a porta NAND:



8.2 A Família Lógica TTL

- Porta TTL NAND com saída no estado BAIXO:

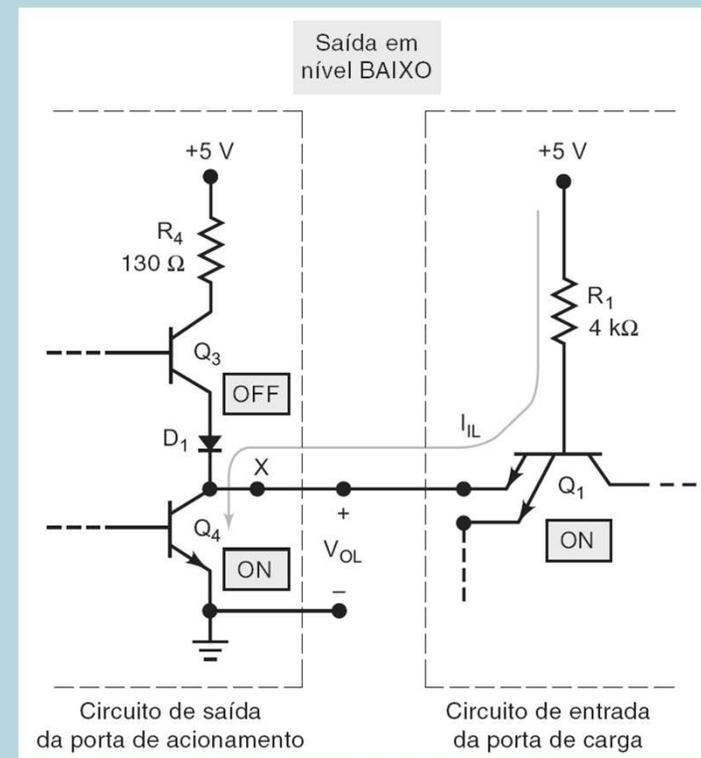


8.2 A Família Lógica TTL

- Uma saída TTL age como um absorvedor de corrente no estado BAIXO porque recebe corrente da entrada da porta que está alimentando:

Transistor Q_4 da porta alimentadora está ligado e “curto-circuita” o ponto X para o terra.

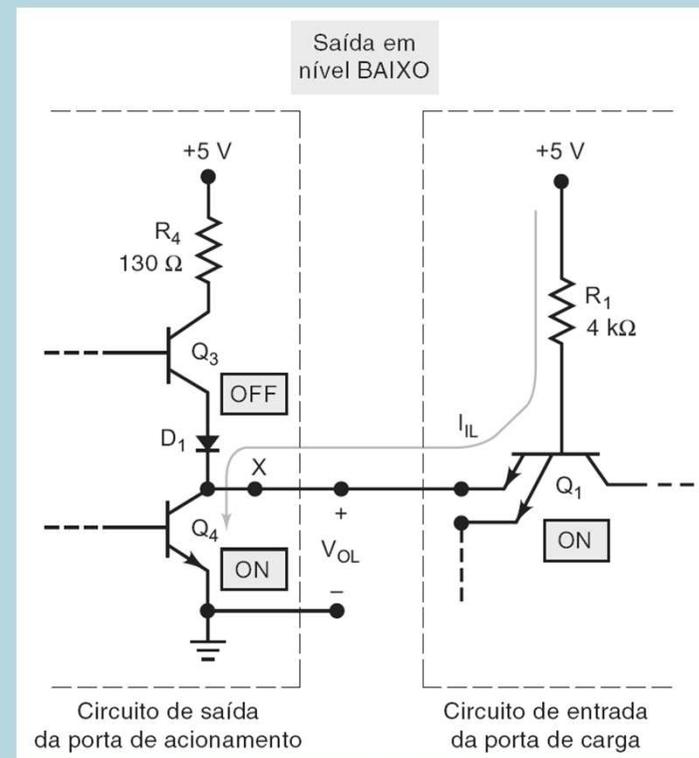
Tensão BAIXO no ponto X causa uma polarização reversa na junção base-emissora de Q_1 e a corrente flui de volta por Q_4 .



8.2 A Família Lógica TTL

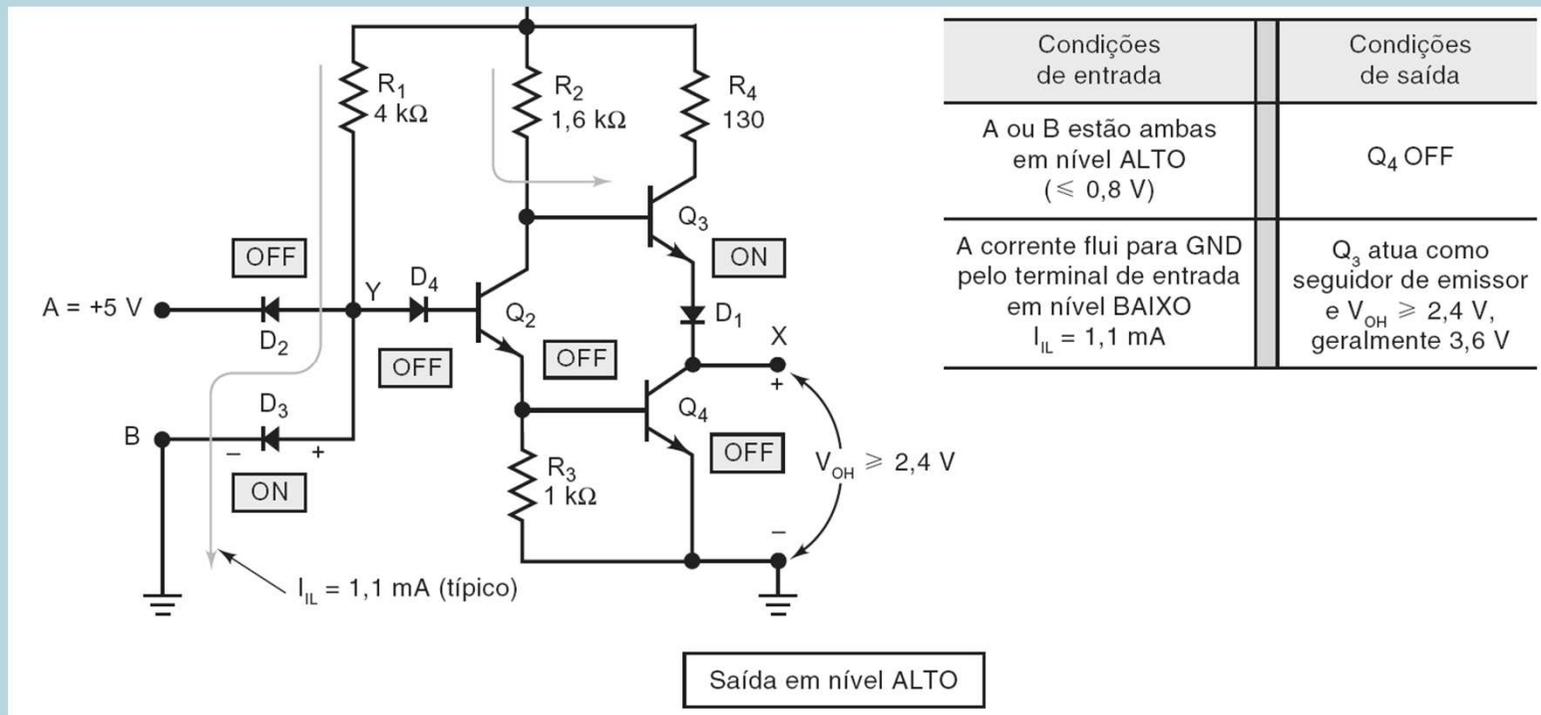
- Uma saída TTL age como um absorvedor de corrente no estado BAIXO porque recebe corrente da entrada da porta que está alimentando:

Q_4 é geralmente chamado de transistor absorvedor de corrente ou *pull-down* porque leva a tensão da saída para seu estado BAIXO.



8.2 A Família Lógica TTL

- Porta TTL NAND com saída no estado ALTO:

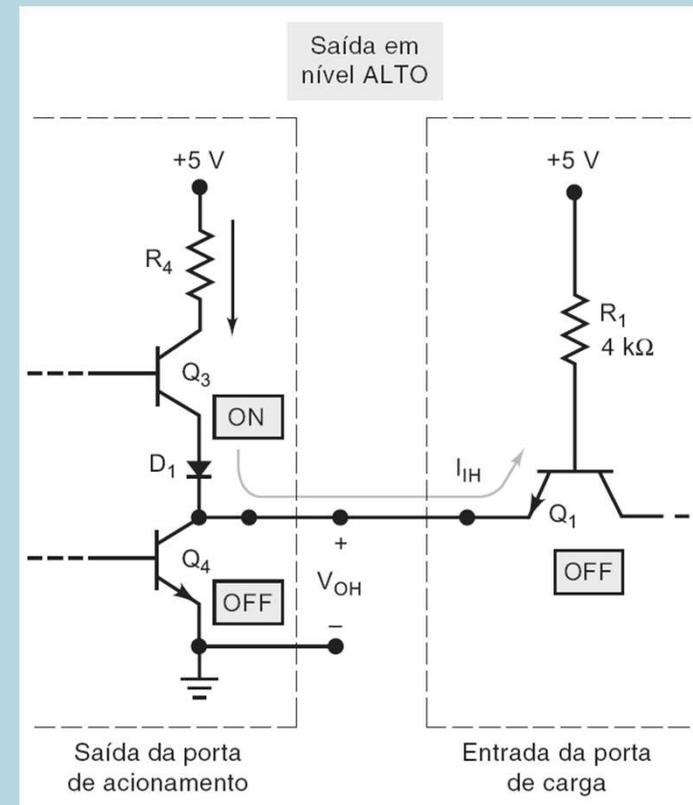


8.2 A Família Lógica TTL

- Uma saída TTL age como fornecedor de corrente no estado ALTO, com pequena corrente reversa de emissor:

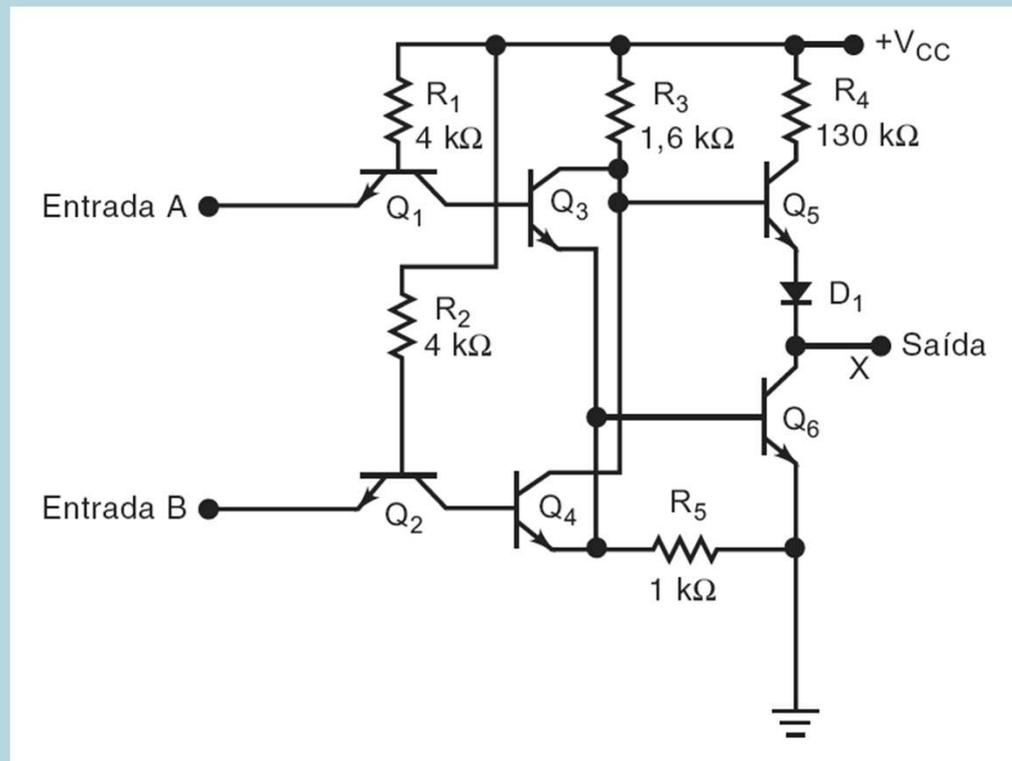
Transistor Q_3 está suprindo a corrente de entrada (I_{IH}) necessária a Q_1 na portacarga.

Q_3 é geralmente chamado transistor fornecedor de corrente ou *pull-up*. Em séries TTLs mais modernas, o circuito the *pull-up* é feito de até dois transistores.



8.2 A Família Lógica TTL

- Circuito interno para uma porta TTL NOR:



O circuito NOR não usa um transistor de emissão múltipla. Cada entrada é aplicada ao emissor de um transistor separado. O circuito NOR usa o mesmo arranjo “totem-pole” que o circuito NAND no lado da saída

8.3 TTL/Especificações técnicas (Data Sheets)

- A primeira linha de CIs TTL foi a série 54/74 da *Texas Instruments*, introduzida em 1964.
- Os fabricantes usam o mesmo sistema de numeração:
O prefixo indica o fabricante.
SN – *Texas Instruments*.
DM – *National Semiconductor*.
S – *Signetics*.
DM7402, SN7402, S7402 executam a mesma função.
- As folhas de dados contém características elétricas, de chaveamento, e condições de operação recomendadas.

8.3 TTL/Especificações técnicas (Data Sheets)

- Folha de dados para o CI portão NAND 74ALS00:

recommended operating conditions

		SN54ALS00A			SN74ALS00A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage	0.8 [†]			0.8			V
		0.7 [§]						
I_{OH}	High-level output current	-0.4			-0.4			mA
I_{OL}	Low-level output current	4			8			mA
T_A	Operating free-air temperature	-55			125			°C

[†] Applies over temperature range -55°C to 70°C

[§] Applies over temperature range 70°C to 125°C

switching characteristics

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 4.5 \text{ V to } 5.5 \text{ V},$ $C_L = 50 \text{ pF},$ $R_L = 500 \Omega,$ $T_A = \text{MIN to MAX}^{\S}$				UNIT
			SN54ALS00A		SN74ALS00A		
			MIN	MAX	MIN	MAX	
t_{PLH}	A or B	Y	3	15	3	11	ns
t_{PHL}			2	9	2	8	

[§] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

8.3 TTL/Especificações técnicas (Data Sheets)

- Folha de dados para o CI porta NAND 74ALS00:

electrical characteristics over recommended operating free-air temperature range unless otherwise noted

PARAMETER	TEST CONDITIONS	SN54ALS00A			SN74ALS00A			UNIT
		MIN	TYP†	MAX	MIN	TYP†	MAX	
V_{IK}	$V_{CC} = 4.5 \text{ V}$, $I_I = -18 \text{ mA}$			-1.2			-1.5	V
V_{OH}	$V_{CC} = 4.5 \text{ V to } 5.5 \text{ V}$, $I_{OH} = -0.4 \text{ mA}$	$V_{CC} - 2$			$V_{CC} - 2$			V
V_{OL}	$V_{CC} = 4.5 \text{ V}$	$I_{OL} = 4 \text{ mA}$		0.25	0.4	0.25	0.4	V
		$I_{OL} = 8 \text{ mA}$				0.35	0.5	
I_I	$V_{CC} = 5.5 \text{ V}$, $V_I = 7 \text{ V}$	0.1			0.1			mA
I_{IH}	$V_{CC} = 5.5 \text{ V}$, $V_I = 2.7 \text{ V}$	20			20			μA
I_{IL}	$V_{CC} = 5.5 \text{ V}$, $V_I = 0.4 \text{ V}$	-0.1			-0.1			mA
$I_{O\ddagger}$	$V_{CC} = 5.5 \text{ V}$, $V_O = 2.25 \text{ V}$	-20		-112	-30		-112	mA
I_{CCH}	$V_{CC} = 5.5 \text{ V}$, $V_I = 0$	0.5	0.85		0.5	0.85		mA
I_{CCL}	$V_{CC} = 5.5 \text{ V}$, $V_I = 4.5 \text{ V}$	1.5	3		1.5	3		mA

† All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

‡ The output conditions have been chosen to produce a current that closely approximates one half of the true short-circuit output current, I_{OS} .

- Níveis de tensão da série 74ALS:

	Mínimo	Típico	Máximo
V_{OL} (V)	—	0,35	0,5
V_{OH} (V)	2,5	3,4	—
V_{IL} (V)	—	—	0,8
V_{IH} (V)	2,0	—	—

8.4 Características da série TTL

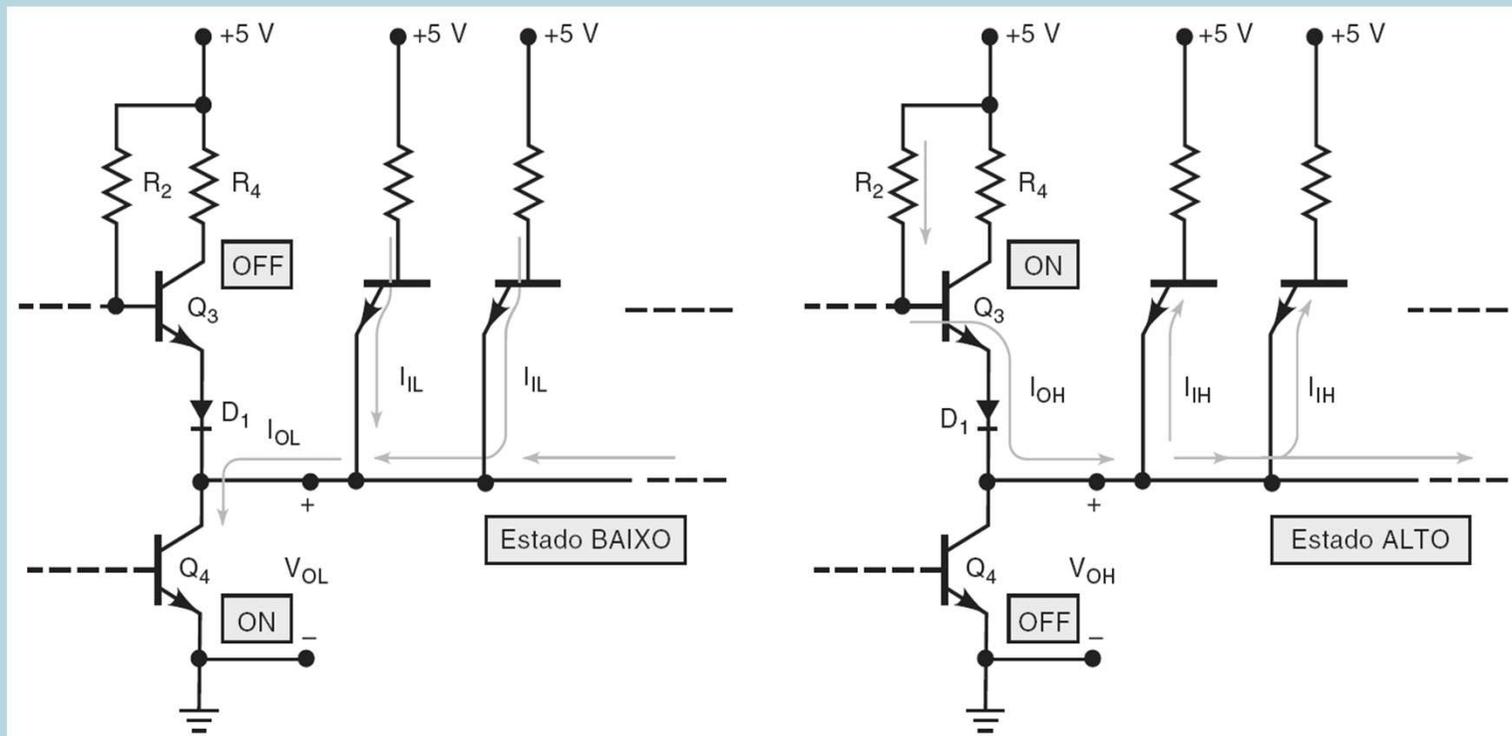
	74	74S	74LS	74AS	74ALS	74F
Índices de desempenho						
Atraso de propagação (ns)	9	3	9,5	1,7	4	3
Dissipação de potência (mW)	10	20	2	8	1,2	6
Taxa de clock máxima (MHz)	35	125	45	200	70	100
Fan-out (mesma série)	10	20	20	40	20	33
Parâmetros de tensão						
V_{OH} (mín) (V)	2,4	2,7	2,7	2,5	2,5	2,5
V_{OL} (máx) (V)	0,4	0,5	0,5	0,5	0,5	0,5
V_{IH} (mín) (V)	2,0	2,0	2,0	2,0	2,0	2,0
V_{IL} (máx) (V)	0,8	0,8	0,8	0,8	0,8	0,8

8.5 Fan-Out e Acionamento de Carga para TTL

- *Fan-out* refere-se a capacidade de carga de uma saída de um CI:
Uma saída TTL possui um limite de corrente que consegue absorver no estado BAIXO ou fornecer no estado ALTO.
Exceder essas correntes resultará em níveis de tensão da saída fora dos níveis especificados.
- Determinando o *fan-out*:
Ao somar I_{IH} de todas as entradas conectadas à saída, o valor tem de ser menor que a especificação I_{OH} da saída .
Ao somar I_{IL} de todas as entradas conectadas à saída, o valor tem de ser menor que a especificação I_{OL} de saída.

8.5 Fan-Out e Acionamento de Carga para TTL

- Correntes quando uma saída TTL está alimentando várias entradas:



Exemplo de cálculo de fan-out

Quantas portas NAND 74ALS00 podem ser acionadas pela saída de uma porta NAND 74ALS00?

Solução: Vamos considerar primeiro o estado BAIXO, consultando a especificação técnica do 74ALS00 temos:

$$I_{OL}(\text{máx}) = 8\text{mA}$$

$$I_{IL}(\text{máx}) = 0,1\text{mA}$$

Isso informa que uma saída 74ALS00 pode absorver, no máximo 8mA e que cada entrada 74ALS00 fornece, no máximo, 0,1 mA para a saída da porta acionadora.

Exemplo de cálculo de fan-out (Continuação)

Assim, o número de entradas que podem ser acionadas no estado BAIXO é

$$\begin{aligned}\text{fan-out(BAIXO)} &= IOL(\text{max})/IIL(\text{max}) \\ &= 8\text{mA}/0,1\text{mA} = 80.\end{aligned}$$

Realize o cálculo para o estado ALTO.

8.6 Outras Características TTL

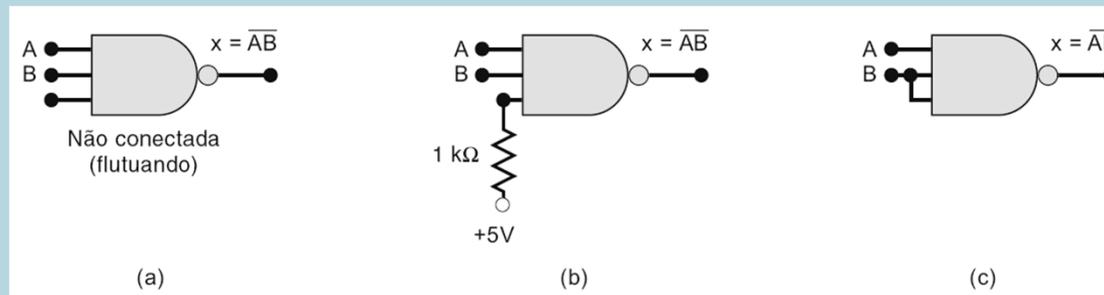
Entradas não usadas:

Frequentemente, nem todas as entradas em um CI TTL estão em uso em uma aplicação em particular.

Um exemplo comum é quando nem todas as entradas de um porta lógica são necessárias para a requerida função lógica.

As entradas não usadas podem ser conectadas a +5V através de um resistor de 1k-Ohm, assim o nível lógico será 1.

Outra possibilidade é quando uma entrada não usada é conectada a uma entrada usada.



8.6 Outras Características TTL

Entradas interconectadas:

- Duas (ou mais) entradas TTL na mesma porta conectadas para formar uma entrada comum geralmente irão representar uma carga que é a soma das cargas atuais de cada entrada individual.

- A única exceção é para portas NAND e AND.

A soma da carga da entrada de nível BAIXO será a mesma que a de um única entrada, não importando quantas entradas foram interconectados juntos.

Entradas desconectadas:

- Em qualquer CI TTL, todas as entradas são 1s se elas não estão conectadas a algum sinal lógico.

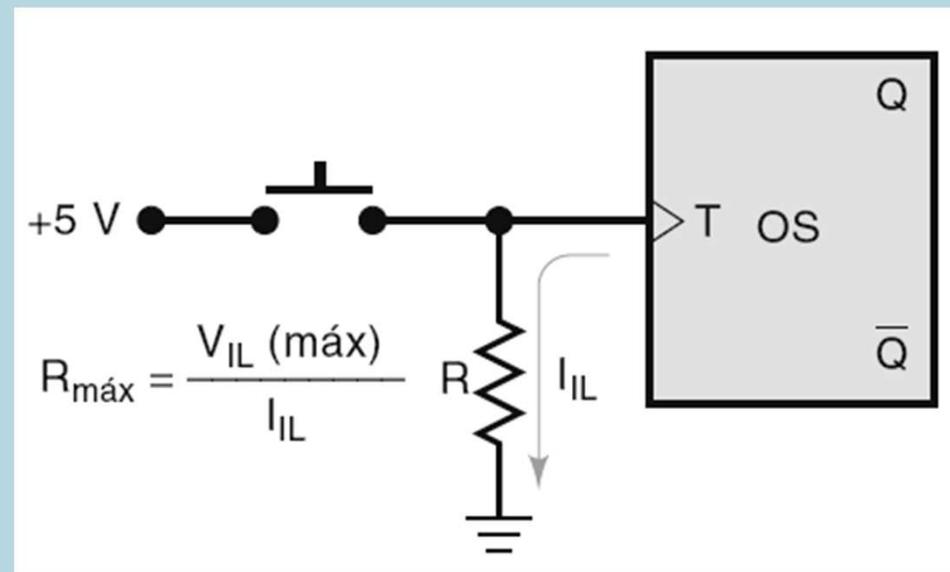
- Uma entrada deixada desconectada é chamada flutuante.

8.6 Outras Características TTL

Polarização de entradas TTL no nível baixo:

- Em certas situações, uma entrada TTL deve ser mantida normalmente BAIXO e ser passada para ALTO pela atuação de uma chave mecânica. A ação faz uma transição positiva que ocorre quando tal chave é momentaneamente ativada.

O resistor R mantém a entrada T BAIXO enquanto a chave está aberta.



8.7 Tecnologia MOS

- A tecnologia MOS tem seu nome derivado da estrutura básica de um eletrodo de metal sobre um insulador óxido sobre um substrato semiconductor:
Transistores da tecnologia MOS são transistores de efeito de campo, chamados MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*).

O campo elétrico no lado do eletrodo de metal do insulador óxido tem um efeito na resistência do substrato.

- A maioria dos CIs digitais MOS são construídos inteiramente de MOSFETs e nenhum outro componente:
MOSFETs são relativamente simples e baratos de fabricar, pequenos, e consomem pouquíssima energia.

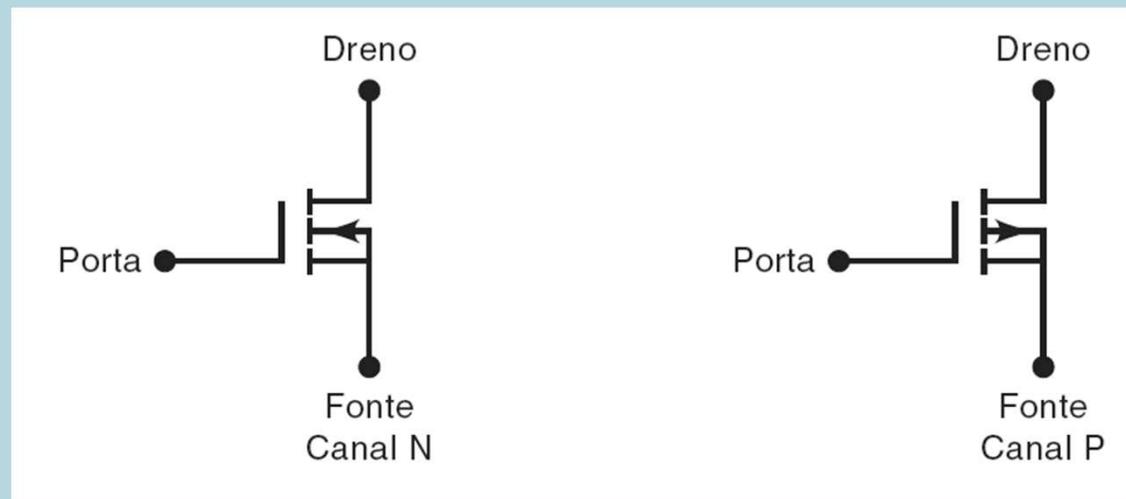
8.7 Tecnologia MOS

- A principal desvantagem dos dispositivos MOS é a predisposição a danos por eletricidade estática:

Apesar de minimizado o risco pelo manuseio correto, um TTL ainda é mais durável para experimentação laboratorial.

8.7 Tecnologia MOS

- Existem MOSFETs do tipo depleção e do tipo indução: CIs MOS usam exclusivamente MOSFETs de indução.



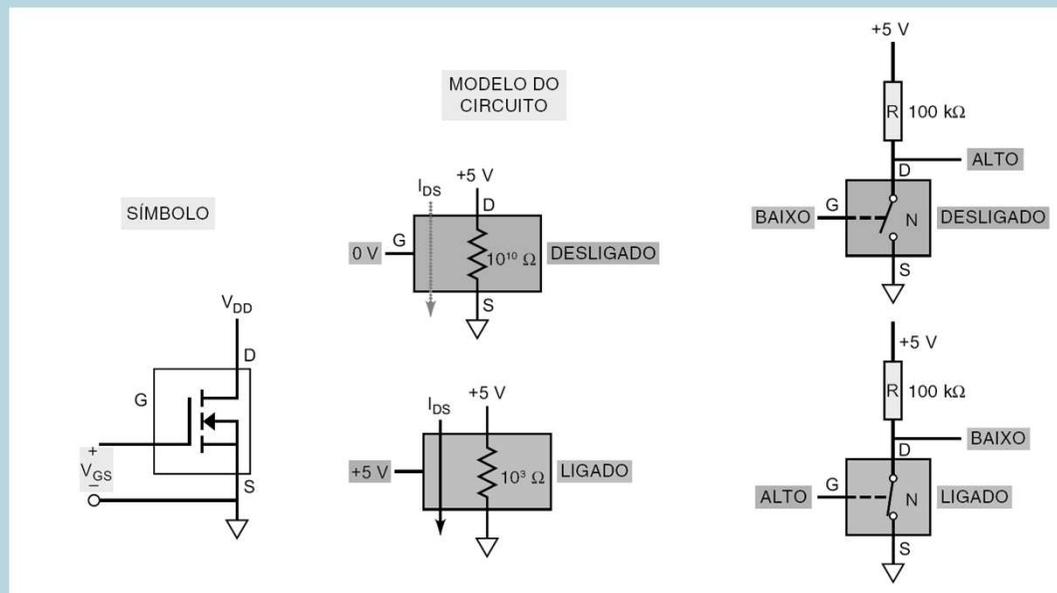
A direção da seta indica o canal P ou N. Os símbolos mostram uma linha quebrada entre a fonte e o dreno para indicar que normalmente não há canal de condução entre esses eletrodos.

8.7 Tecnologia MOS

Chave MOSFET básica:

- A tensão porta-fonte V_{GS} é a tensão de entrada.

Usada para controlar a resistência entre o dreno e a fonte, determina se o dispositivo está ligado ou desligado.



8.7 Tecnologia MOS

Chave MOSFET básica:

- Um MOSFET canal-N é o elemento básico em uma família de dispositivos chamados de N-MOS.

Dreno é sempre positivo em relação a fonte.

- O MOSFET canal-P (P-MOS) opera da mesma maneira que o canal-N, exceto que usa tensões de polaridade oposta.

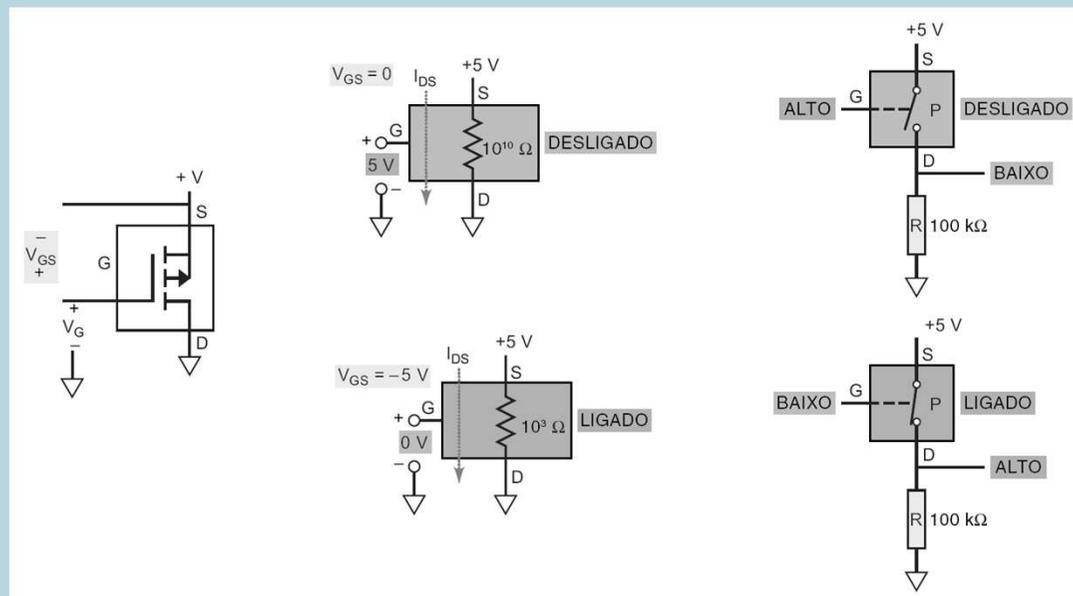
O dreno é conectado ao lado inferior do circuito para que esteja com uma tensão mais negativa em relação a fonte.

8.7 Tecnologia MOS

Chave MOSFET básica:

- Para ligar o P-MOSFET, uma tensão menor que a da fonte, menos V_T deve ser aplicada à porta.

A tensão na porta, em relação a fonte, deve ser negativa.



8.8 Lógica MOS Complementar

Inversor CMOS:

- Circuitos P-MOS e N-MOS começaram a dominar os mercados LSI e VLSI nos anos 1970 e 1980.

Usam menos componentes e são muito mais simples de fabricar do que circuitos TTL.

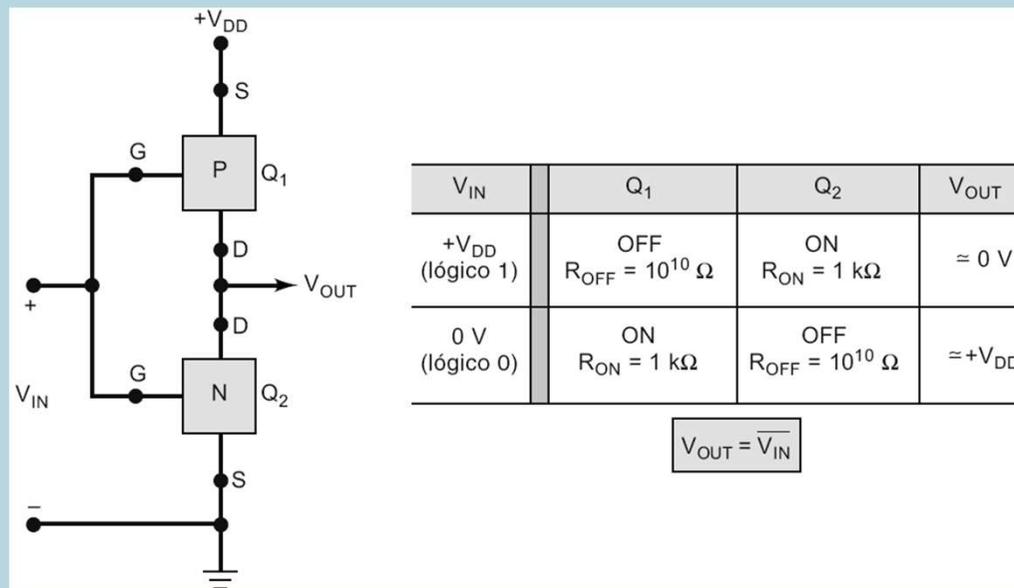
- Nessa época, surgiu uma tecnologia que usava P-MOS e N-MOS no mesmo circuito.

MOS Complementar, ou Tecnologia CMOS (*Complementary MOS*).

8.8 Lógica MOS Complementar

Inversor CMOS:

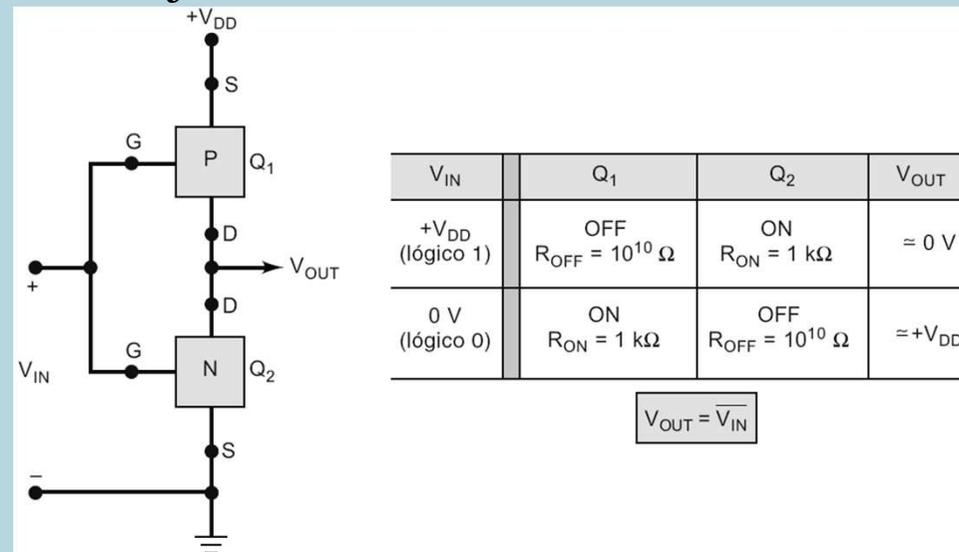
- O Inversor CMOS possui dois MOSFETs em série.
A fonte do dispositivo canal-P é conectada a V_{DD} .
O dispositivo canal-N tem sua fonte conectada ao terra, intitulado V_{SS} .



8.8 Lógica MOS Complementar

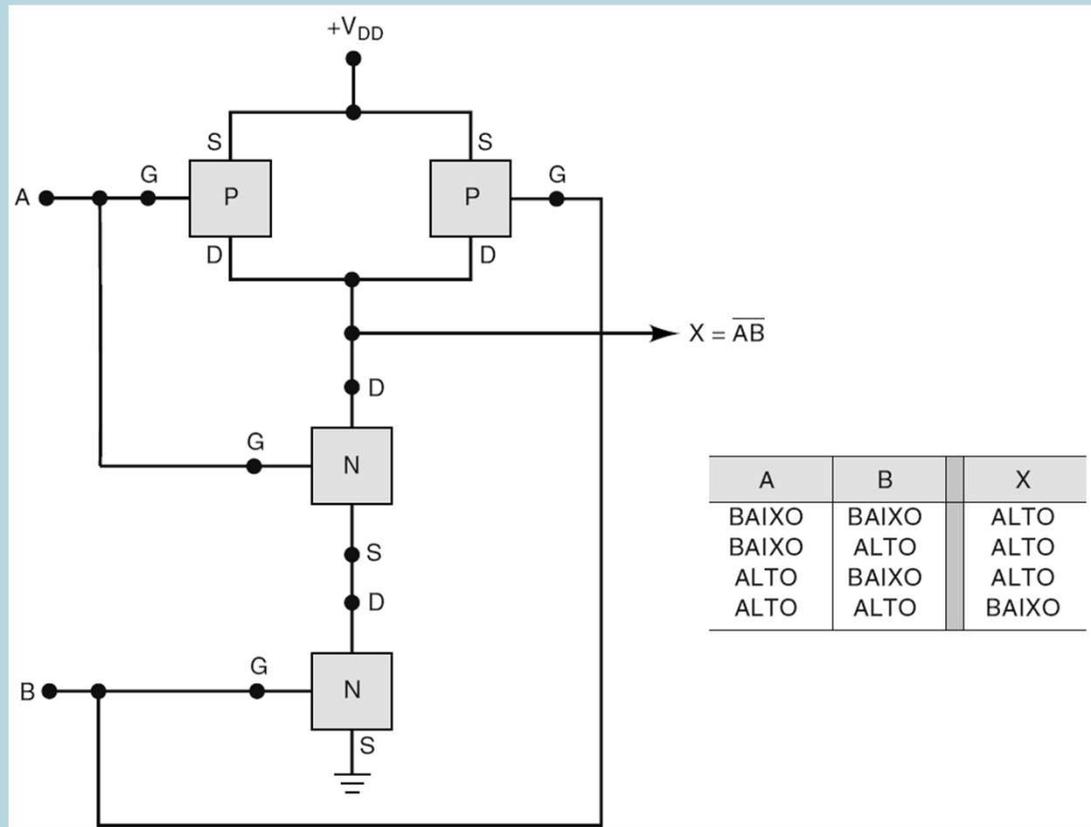
Inversor CMOS

- O Inversor CMOS possui dois MOSFETs em série. As portas dos dois dispositivos são conectadas juntas formando uma entrada comum. Os drenos são conectados juntos formando uma saída comum.



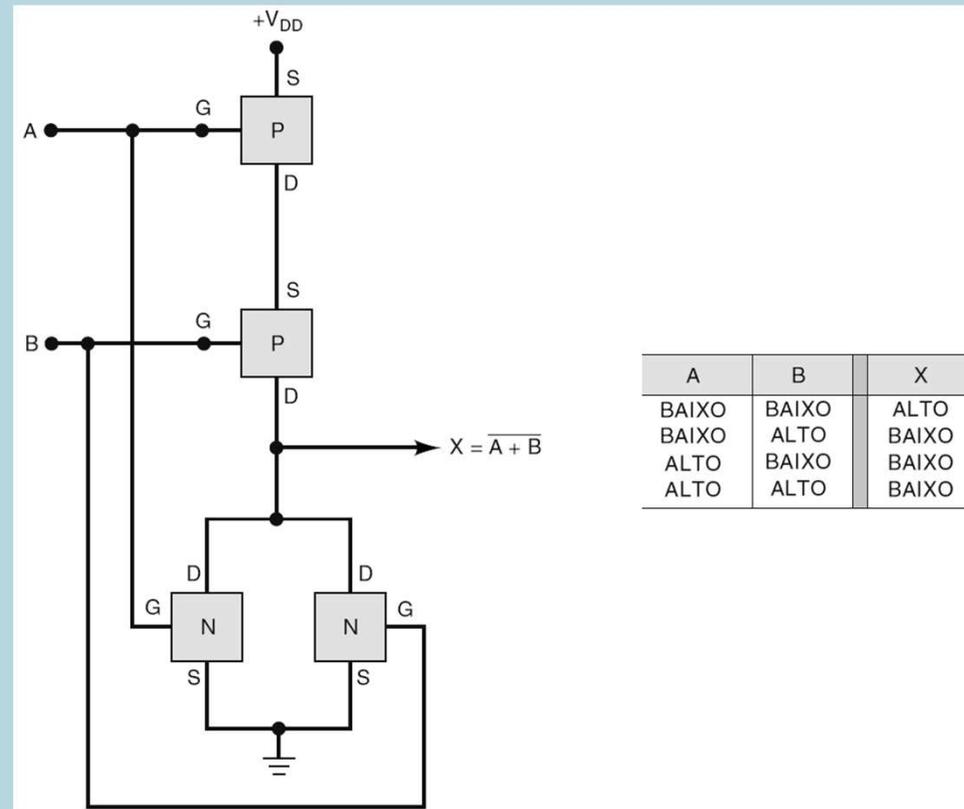
8.8 Lógica MOS Complementar

- Uma porta NAND é formada modificando-se o inversor básico:



8.8 Lógica MOS Complementar

- Uma porta CMOS NOR:



8.8 Lógica MOS Complementar

- Portas CMOS NOR e NAND podem ser acopladas para formar uma trava (*latch*) SET-RESET simples:

Circuitos de portão adicionais são usados para converter a trava SET-RESET básica em flip-flop's D com clock (*D-clocked*) e flip-flop's J-K.

8.9 Características da Série CMOS

Termos:

- CIs CMOS suprem todas as funções lógicas TTL, e funções de uso especial não providas pela TTL.
- Termos usados quando CIs de diferentes famílias ou séries tem de ser usados juntos ou como substitutos.:
 - Compatibilidade pino a pino - quando suas configurações de pinos são iguais.
 - Equivalência de função - quando as funções lógicas que ambos executam são exatamente as mesmas.
 - Compatibilidade elétrica - quando podem ser conectados diretamente um ao outro sem medidas especiais para garantir a operação.

8.9 Características da Série CMOS

Séries de CIs:

- A série CMOS mais antiga é a 4000 produzida pela RCA, funcionalmente equivalente a Motorola 14000.

Raramente usada em novos designs, exceto quando um CI de uso especial não está disponível em outras séries.

- As séries 74HC/HCT possuem um aumento na velocidade de chaveamento de 10 vezes na magnitude, comparável aos dispositivos 74LS.

Compatíveis eletricamente e equivalentes em funcionalidade aos CIs TTL com o mesmo número de dispositivo.

- As séries 74AC/ACT são chamadas de ACL (*advanced CMOS logic*).

Funcionalmente equivalentes a várias séries TTL, mas não possuem compatibilidade de pinos com TTL.

8.9 Características da Série CMOS

Séries de CIs:

- A série 74AHC/AHCT oferece um caminho de migração natural da série HC para aplicações mais rápidas, que consomem menos energia e espaço. Três vezes mais rápidos, com imunidade a ruído similar a HC sem os problemas de transientes de chaveamento.
- BiCMOS combina o melhor da lógica bipolar e CMOS. As características são integradas para produzir uma família lógica extremamente rápida e de baixo consumo energético. Limitada a funções usadas em microprocessador e aplicações de barramento de interface.

8.9 Características da Série CMOS

Potência:

- Quando dispositivos usando diferentes tensões de fonte são interconectados, medidas especiais devem ser tomadas.

Os dispositivos das séries 4000/14000 e 74C operam com valores de V_{DD} variando entre 3 a 15 V.

CI's da série 74 operam em um faixa muito mais estreita de tensões de fonte, em geral, entre 2 e 6 V.

Séries de potência menor (2.5 or 3.3 V) estão disponíveis.

Parâmetro	CMOS							TTL			
	4000B	74HC	74HCT	74AC	74ACT	74AHC	74AHCT	74	74LS	74AS	74ALS
$V_{IH}(\text{mín})$	3,5	3,5	2,0	3,5	2,0	3,85	2,0	2,0	2,0	2,0	2,0
$V_{IL}(\text{máx})$	1,5	1,0	0,8	1,5	0,8	1,65	0,8	0,8	0,8	0,8	0,8
$V_{OH}(\text{mín})$	4,95	4,9	4,9	4,9	4,9	4,4	3,15	2,4	2,7	2,7	2,5
$V_{OL}(\text{máx})$	0,05	0,1	0,1	0,1	0,1	0,44	0,1	0,4	0,5	0,5	0,5
V_{NH}	1,45	1,4	2,9	1,4	2,9	0,55	1,15	0,4	0,7	0,7	0,7
V_{NL}	1,45	0,9	0,7	1,4	0,7	1,21	0,7	0,4	0,3	0,3	0,4

8.9 Características da Série CMOS

Potência

- Em geral, dispositivos CMOS possuem margens de ruído maior que TTL.
- Quando um circuito lógico CMOS está num estado estático (não está mudando) sua dissipação de potência é extremamente baixa.

Ideal para aplicações que usem bateria.

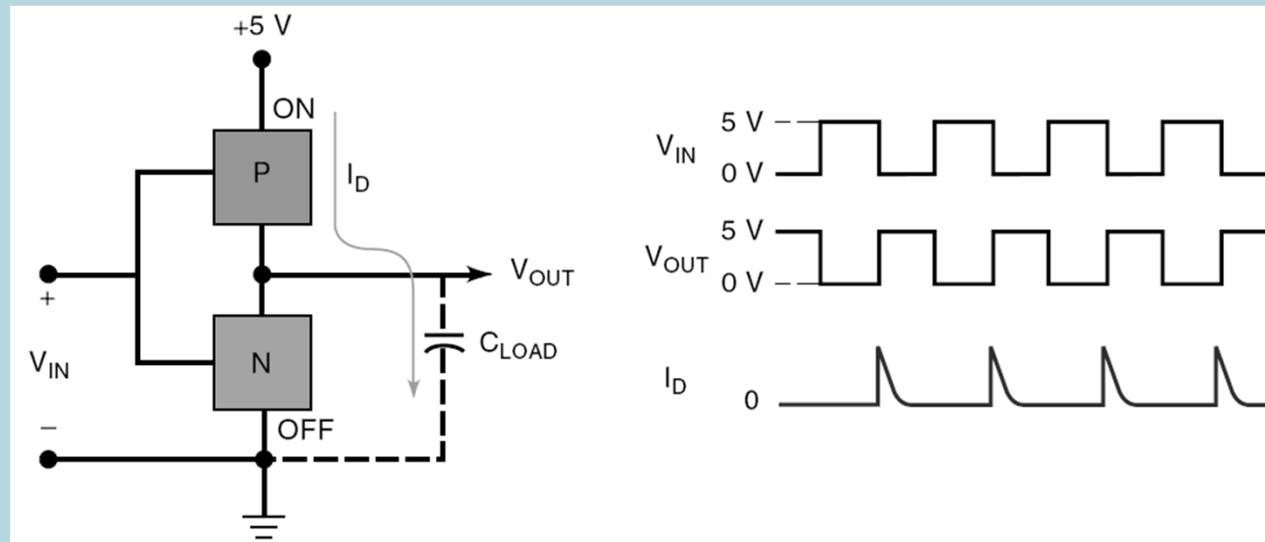
- A dissipação de potência de um CI CMOS será muito baixa enquanto ele estiver numa condição DC.

P_D irá aumentar proporcionalmente a frequência com que os circuitos estão chaveando estados.

8.9 Características da Série CMOS

Dissipação de potência:

- Cada vez que uma saída CMOS muda de BAIXO para ALTO, uma corrente transiente deve ser fornecida à capacitância de carga, que consiste na combinação de todas as capacitâncias de entrada de quaisquer cargas que forem acionadas com a capacitância de saída do dispositivo.



Picos de corrente são drenados de V_{DD} cada vez que a saída muda de BAIXO para ALTO.

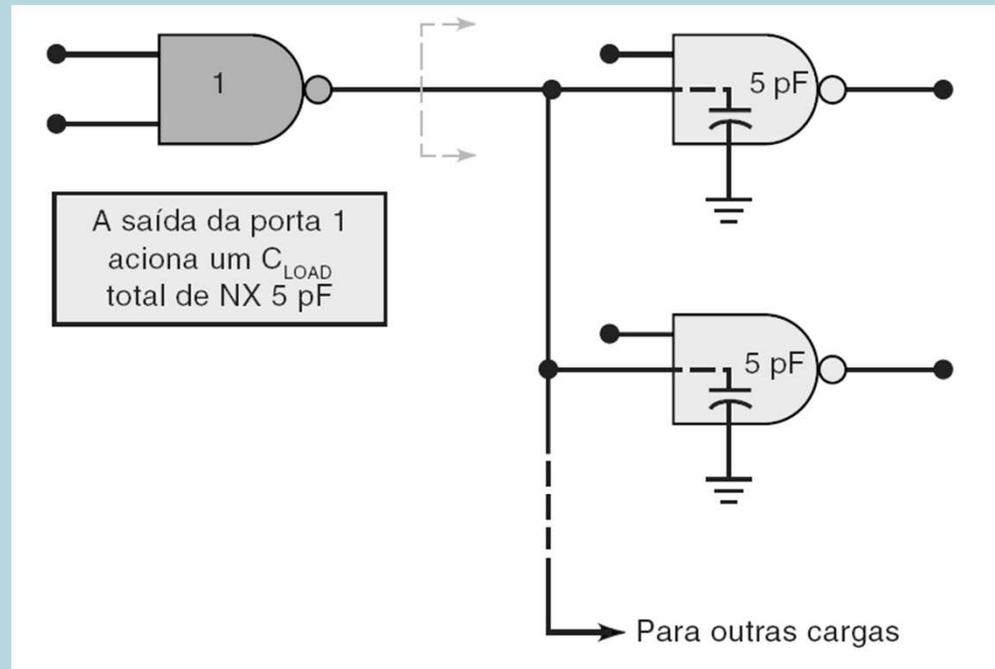
8.9 Características da Série CMOS

Fan-Out:

- Entradas CMOS possuem uma resistência extremamente alta ($10^{12} \Omega$) que praticamente não drena corrente da fonte.

Cada entrada CMOS representa uma carga de 5 pF em relação ao terra.

Essa capacitância de entrada limita o número de entradas CMOS que uma saída CMOS consegue alimentar.



8.9 Características da Série CMOS

Velocidade de chaveamento:

- Apesar do CMOS precisar alimentar cargas de capacitância relativamente altas, a velocidade de chaveamento é um pouco maior, devido a baixa capacitância de saída em cada estado.
- No circuito CMOS, a resistência da saída no estado ALTO é R_{ON} no P-MOSFET, em geral, menor ou igual a 1 k Ω .

Sensibilidade à estática:

- Todo dispositivo eletrônico, em grau variável, é sensível a danos por eletricidade estática.

Famílias lógicas MOS são especialmente suscetíveis.

8.9 Características da Série CMOS

Sensibilidade à estática:

- Precauções para evitar Descargas Eletrostáticas:

Conecte o chassis de todos instrumentos de teste, pontas de ferros de solda, e sua banca de trabalho de metal ao aterramento.

Conecte a si próprio ao aterramento usando uma pulseira aterrada adequada.

Mantenha os CIs em espuma condutiva ou papel alumínio. Isso evita que tensões perigosas surjam entre os pinos.

Evite tocar os pinos do CI, inserindo-o no circuito imediatamente após removê-lo de sua embalagem de proteção.

Coloque fitas nos conectores nos cantos das placas PC quando estiverem sendo transportadas ou carregadas, evitando tocar nos conectores.

Não deixe nenhuma entrada não utilizada do CI desconectada, pois entradas abertas tendem a captar cargas estáticas.

8.9 Características da Série CMOS

- A inevitável existência de transistores PNP e NPN parasitas (não desejados) no substrato do CMOS pode causar uma condição travada (*latch-up*):
Caso ocorra, eles travarão (ligados permanentemente), e uma corrente alta irá destruir o CI.
- A maioria dos CIs CMOS modernos são desenvolvidos com circuitos de segurança que ajudam a prevenir travamentos:
Ainda podem ocorrer quando os limites de tensão máximos do dispositivo são excedidos.
Travamentos podem ser deflagrados por picos de alta tensão (*ringing*) nas entradas ou saídas do dispositivo.

8.10 Tecnologia de Baixa Tensão

- A densidade maior do chip tem duas principais vantagens:
 - Permite que mais circuitos sejam encapsulados no chip.
 - Com os circuitos mais próximos, o tempo de propagação dos sinais de um circuito a outro diminui.
- Também existem desvantagens no uso de maior densidade:
 - Quando os circuitos estão mais próximos, o material isolante que separa um circuito do outro é menor.
 - Diminuição do nível de tensão que o dispositivo suporta, antes de ocorrer a falha do dielétrico.
 - Aumento na dissipação de potência do chip, o que pode aumentar sua temperatura acima do máximo suportado para operação confiável.
 - Essas desvantagens podem ser neutralizadas operando o chip em níveis mais baixos de tensão.

8.10 Tecnologia de Baixa Tensão

CMOS

- Várias séries de baixa tensão estão disponíveis atualmente:
 - Série 74LVC (*Low-Voltage CMOS*) contem a maior variedade das portas SSI e funções MSI das famílias de 5 V.
 - 74ALVC (*Advanced Low-Voltage CMOS*) oferece a mais alta performance.
 - Série 74LV (*Low-Voltage*) oferece tecnologia CMOS e várias portas SSI e funções lógicas MSI, em conjunto com alguns buffers octais muito utilizados, travas (*latches*), e flip-flops.
 - Série 74AVC (*Advanced Very-Low-Voltage CMOS*) é otimizada para sistemas de 2,5V. Possui vários dos recursos de barramento de interface da série BiCMOS que irá torná-la útil em gerações futuras.

8.10 Tecnologia de Baixa Tensão

Várias séries de baixa tensão estão disponíveis atualmente (cont.):

Série *74AUC* (*Advanced Ultra-Low-Voltage CMOS*) otimizada para operar em níveis lógicos de 1,8 V.

Série *74AUP* (*Advanced Ultra-Low Power*) é a série lógica de menor tensão, utilizada em aplicações portáteis operadas a bateria.

Série *74CBT* (*Cross Bar Technology*) oferece circuitos de barramento de interface de alta velocidade que conseguem chavear rapidamente.

74CBTLV (*Cross Bar Technology Low-Voltage*) é o complemento de 3,3 V da série *74CBT*.

Série *74GTLP* (*Gunning Transceiver Logic Plus*) feita para aplicações paralelas de bastidor de alta velocidade.

8.10 Tecnologia de Baixa Tensão

Várias séries de baixa tensão estão disponíveis atualmente (cont.):

Série *74SSTV* (*Stub Series Terminated Logic*) útil em sistemas de memória avançada de alta velocidade.

Série *TS Switch* (*TI Signal Switch*) feita para aplicações de sinais mistos que oferece algumas soluções de chaveamento e multiplexação analógico/digital.

Série *74TVC* (*Translation Voltage Clamp*) usada para proteger as entradas e saídas de dispositivos sensíveis contra sobrecarga de tensão nas linhas de barramento.

8.10 Tecnologia de Baixa Tensão

- Família BiCMOS:

A *74LVT* (*Low-Voltage BiCMOS Technology*) contém componentes BiCMOS feitos para aplicações de barramento de interface de 8 e 16 bit.

	LV	ALVC	AVC	ALVT	ALB
V_{CC} (recomendado)	2,7–3,6	2,3–3,6	1,65–3,6	2,3–2,7	3–3,6
t_{pd} (ns)	18	3	1,9	3,5	2
V_{IH} (V)	2 a $V_{CC} + 0,5$	2,0 a 4,6	1,2 a 4,6	2 a 7	2,2 a 4,6
V_{IL} (V)	0,8	0,8	0,7	0,8	0,6
I_{OH} (mA)	6	12	8	32	25
I_{OL} (mA)	6	12	8	32	25

Devido a equivalência dos níveis de saída [V_{OH} (min) e V_{OL} (max)] com a família TTL, eles são completamente equivalentes eletricamente com a TTL.

8.10 Tecnologia de Baixa Tensão

- Família BiCMOS:

Série *74ALVT* (*Advanced Low-Voltage BiCMOS Technology*) é um avanço em relação à LVT.

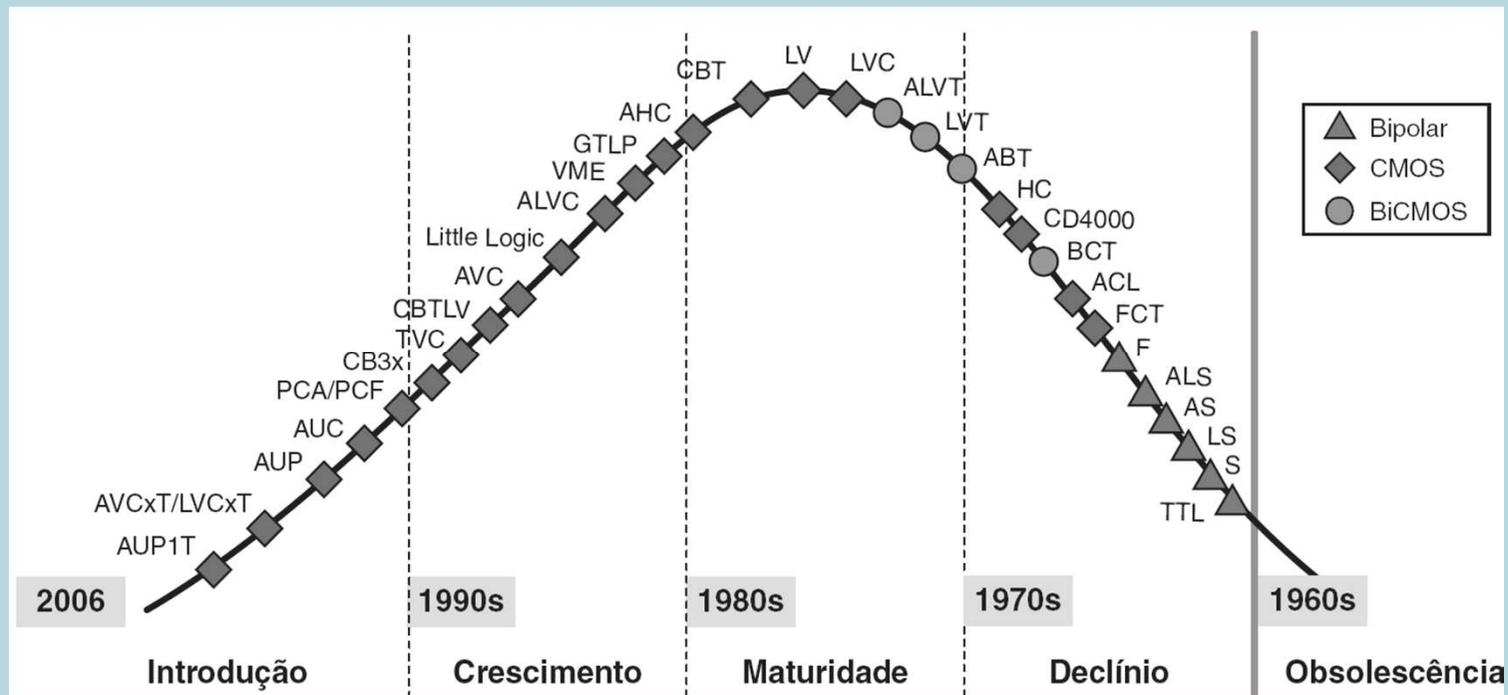
Oferece operação a 3,3 V ou 2,5 V em 3 ns, compatibilidade de pinos com ABT e LVT, também é destinada a usos de barramento de interface.

Série *74ALB* (*Advanced Low-Voltage BiCMOS*) foi desenvolvida para aplicações de barramento de interface de 3,3 V, tem alimentação de saída de 25 mA e atraso de propagação de apenas 2,2 ns.

Série *74VME* (*VERSA Module Eurocard*) desenvolvida para operar com a tecnologia de barramento VME padrão.

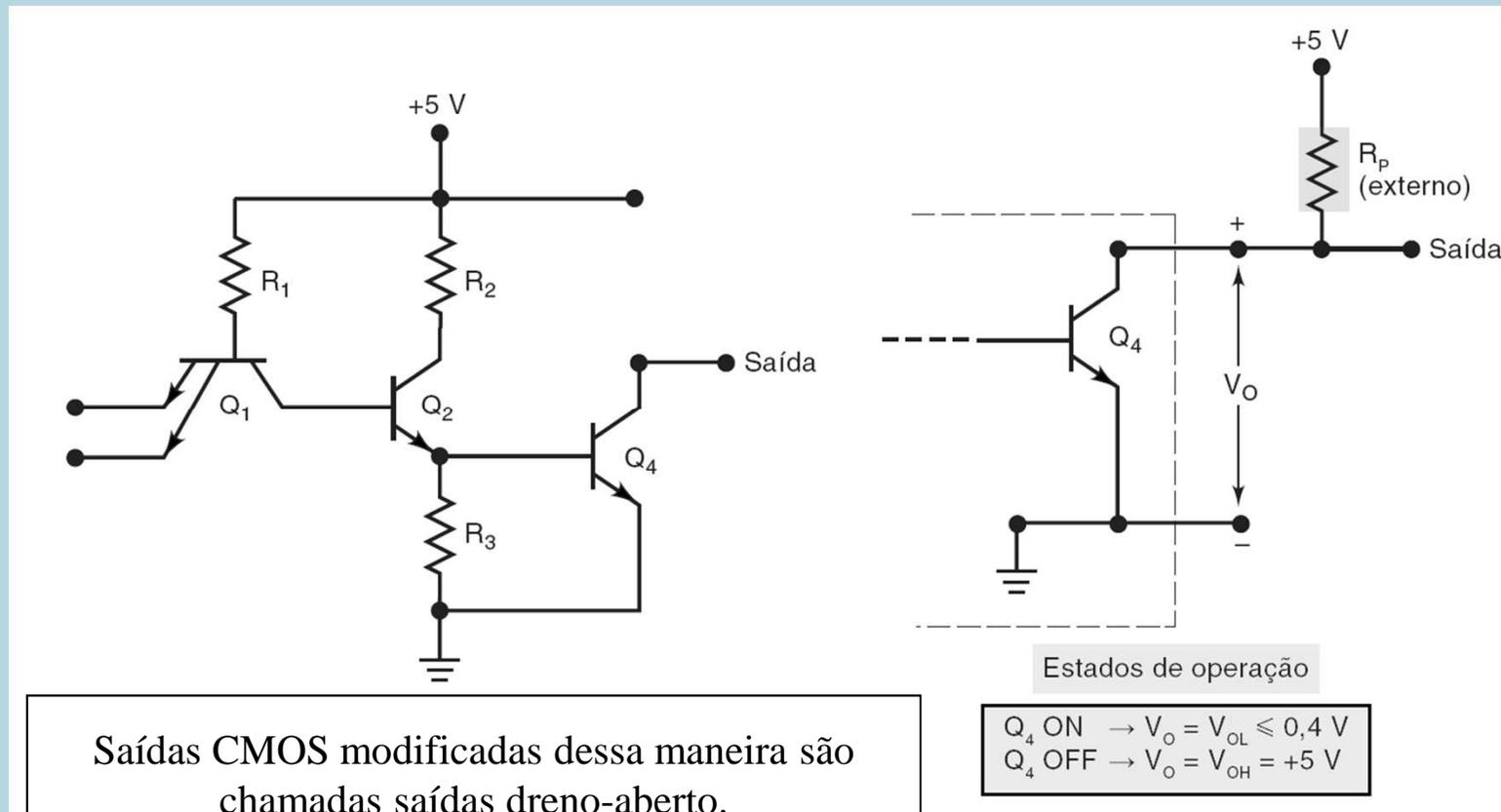
8.10 Tecnologia de Baixa Tensão

- O desenvolvimento contínuo da tecnologia de baixa tensão promete uma completa revolução partindo do sistema original de 5 V, passando pelo puro 3,3 V, 2,5 V, e podendo chegar a sistemas digitais de tensão ainda menor:



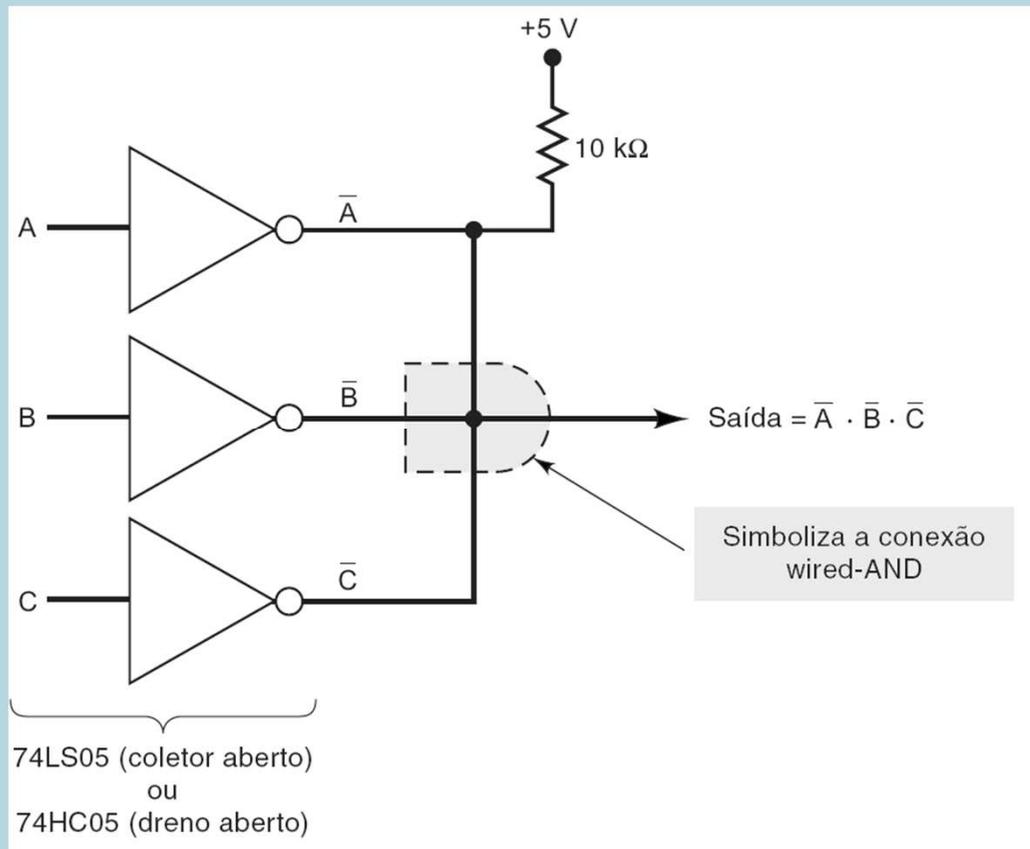
8.11 Saídas de Coletor Aberto e de Dreno Aberto

- Saídas TTL modificados dessa forma são chamadas saídas coletor-aberto:



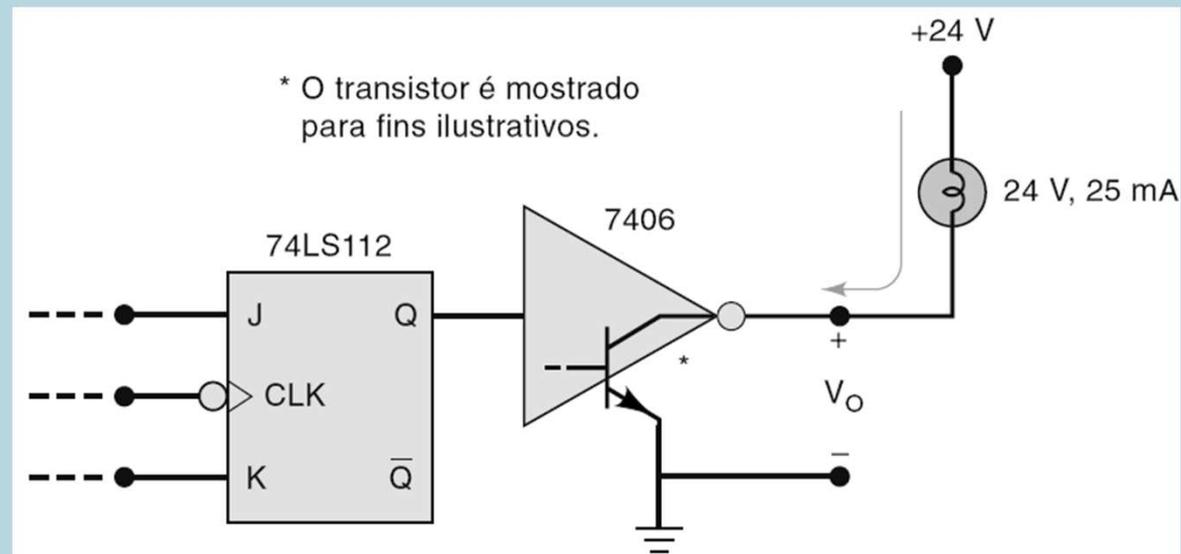
8.11 Saídas de Coletor Aberto e de Dreno Aberto

- Operação *Wired-AND* usando portas em operação coletor-aberto:



8.11 Saídas de Coletor Aberto e de Dreno Aberto

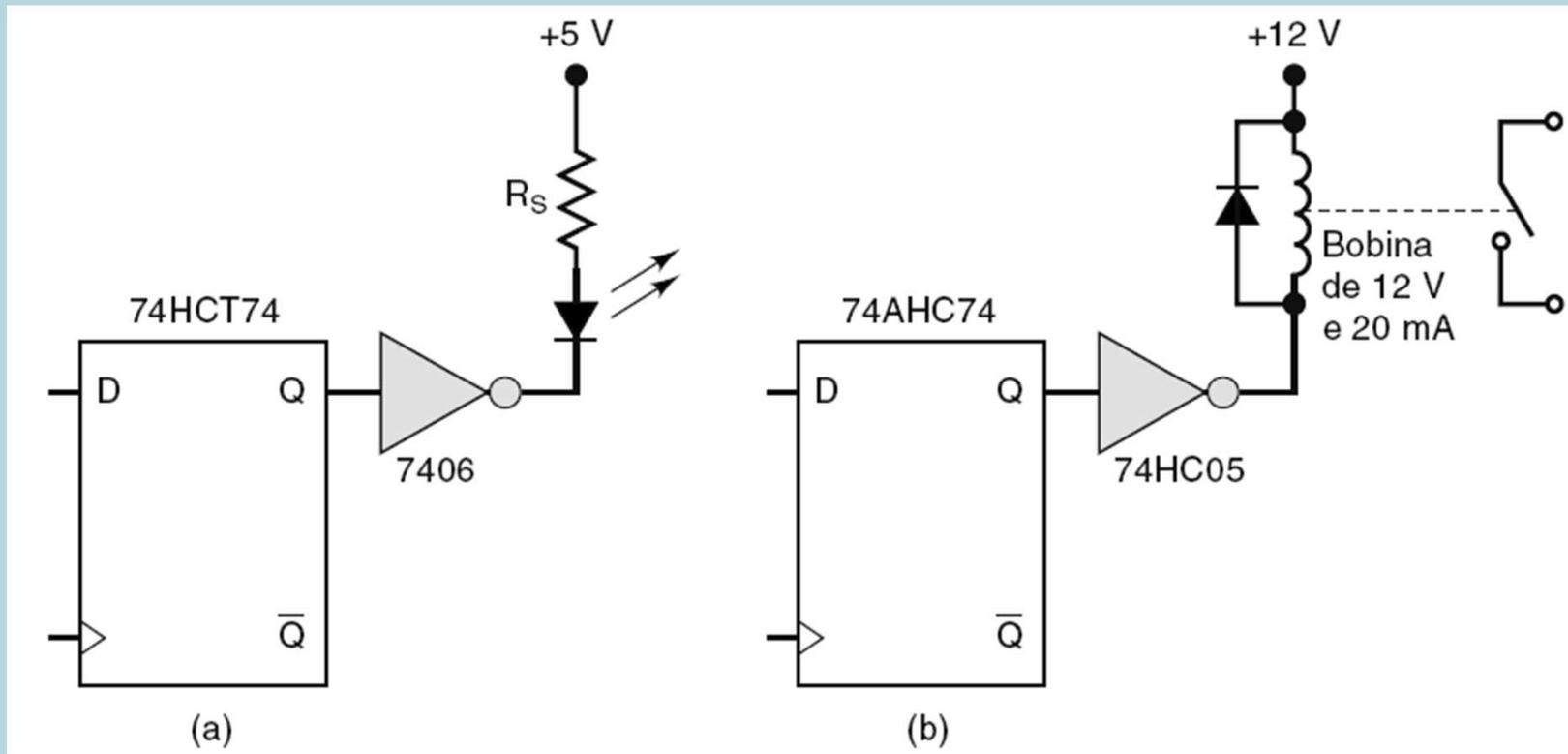
- Um uso comum de saídas coletor-aberto ou dreno-aberto é um *buffer/driver*: Circuito lógico desenvolvido para ter maior corrente de saída e/ou capacidade de tensão do que um circuito lógico comum. Permite que um circuito de saída mais fraca alimente uma carga pesada.



Um buffer/driver coletor-aberto alimentando uma carga de alta corrente e alta tensão.

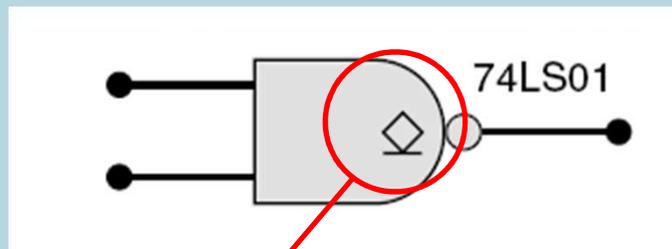
8.11 Saídas de Coletor Aberto e de Dreno Aberto

- Saídas coletor-aberto geralmente são usadas para alimentar LEDs indicadores:

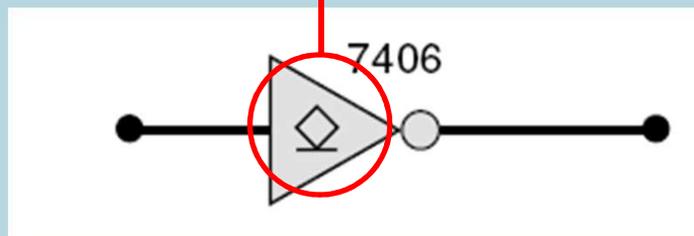


8.11 Saídas de Coletor Aberto e de Dreno Aberto

- A simbologia IEEE/ANSI usa uma notação distintiva para identificar saídas coletor/dreno-aberto:



A designação padrão IEEE/ANSI para uma saída coletor/dreno-aberto é um diamante sublinhado.

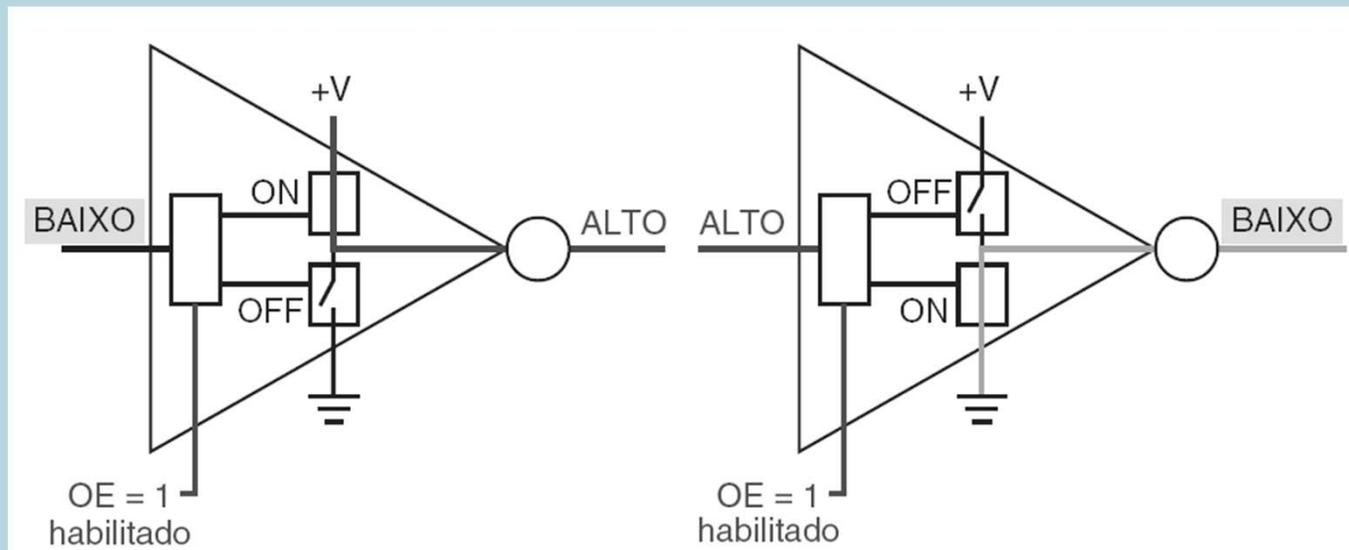


8.12 Saídas Lógicas Tristate (Três Estados)

- A configuração tristate tira proveito da operação de alta velocidade do arranjo de saída *pull-up* e *pull-down*, ao mesmo tempo que permite que as saídas sejam conectadas juntas para compartilhar um fio comum.
- É chamada tristate porque permite três possíveis estados de saída:
ALTO, BAIXO, e alta impedância (Hi-Z).
- Hi-Z é uma condição na qual ambos os transistores *pull-up* e *pull-down* estão desligados.
O terminal de saída possui uma impedância alta para o terra e para a fonte.

8.12 Saídas Lógicas Tristate (Três Estados)

- Dispositivos com saídas tristate possuem uma entrada *enable*, nomeada *E* para *enable* ou *OE* para saída *enable*.

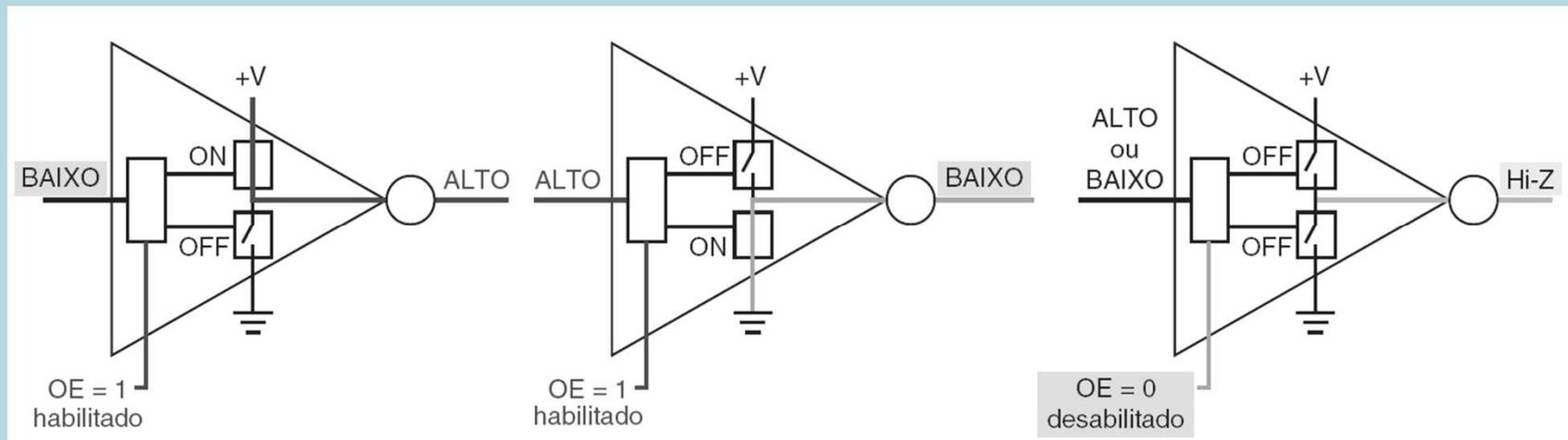


- Quando $OE = 1$, o circuito opera como um INVERSOR normal porque o estado lógico ALTO em OE ativa a saída.

A saída será ALTO ou BAIXO, dependendo do nível da entrada.

8.12 Saídas Lógicas Tristate (Três Estados)

- Dispositivos com saídas tristate possuem uma entrada *enable*, nomeada *E* para *enable* ou *OE* para saída *enable*.



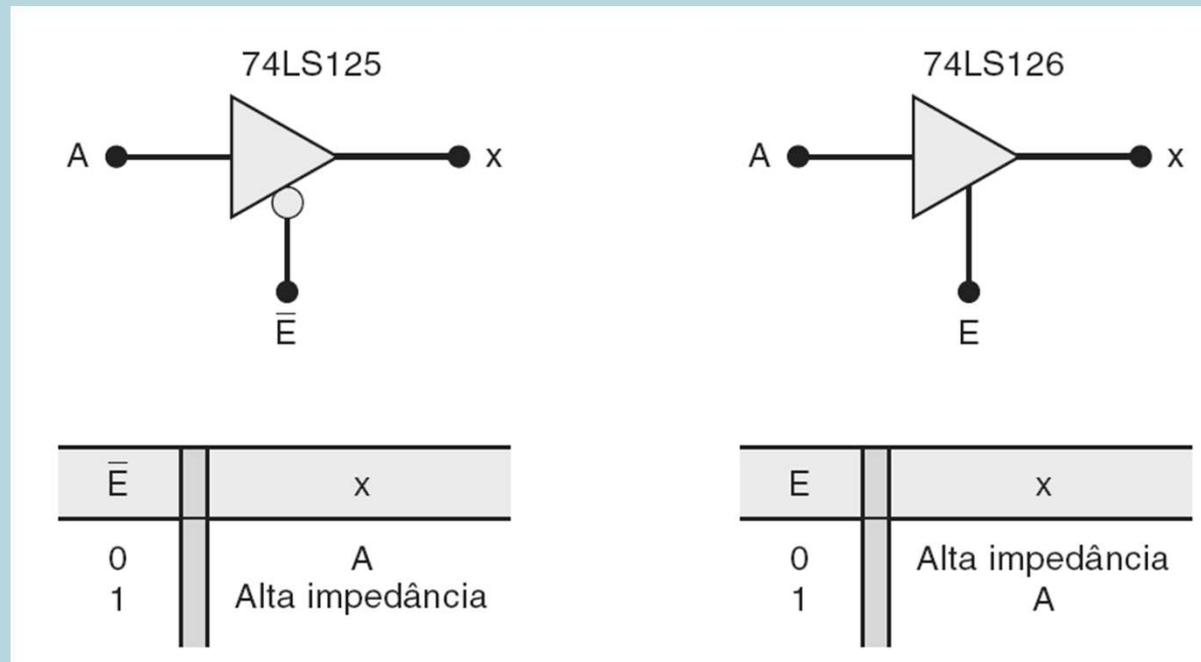
- Quando $OE = 0$, a saída está desabilitada. Ele passa para o estado Hi-Z com os dois transistores em estado não-condutor.
Nesse estado, o terminal da saída é essencialmente um circuito aberto (não conectado a coisa alguma).

8.12 Saídas Lógicas Tristate (Três Estados)

- As saídas de CIs tristate podem ser conectadas juntas sem sacrificar a velocidade de chaveamento.
- Quando as saídas tristate são conectadas juntas, apenas uma delas deve estar ativa por vez.
- Duas saídas podem competir pelo controle do fio.
- Vários CIs são desenvolvidos com saídas tristate:
O CI 74LS374 é um registrador FF octal tipo D com saídas tristate.

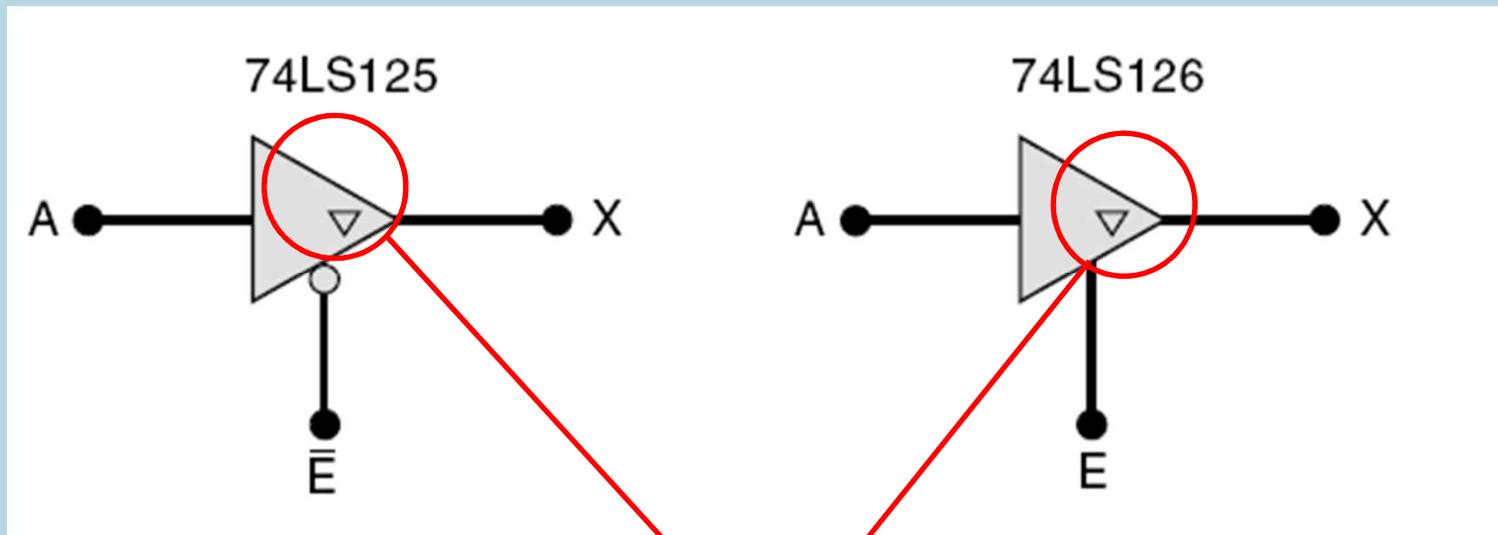
8.12 Saídas Lógicas Tristate (Três Estados)

- Um buffer tristate é um circuito usado para controlar a passagem de um sinal lógico da entrada para a saída:
Alguns buffers tristate invertem o sinal enquanto ele passa.



8.12 Saídas Lógicas Tristate (Três Estados)

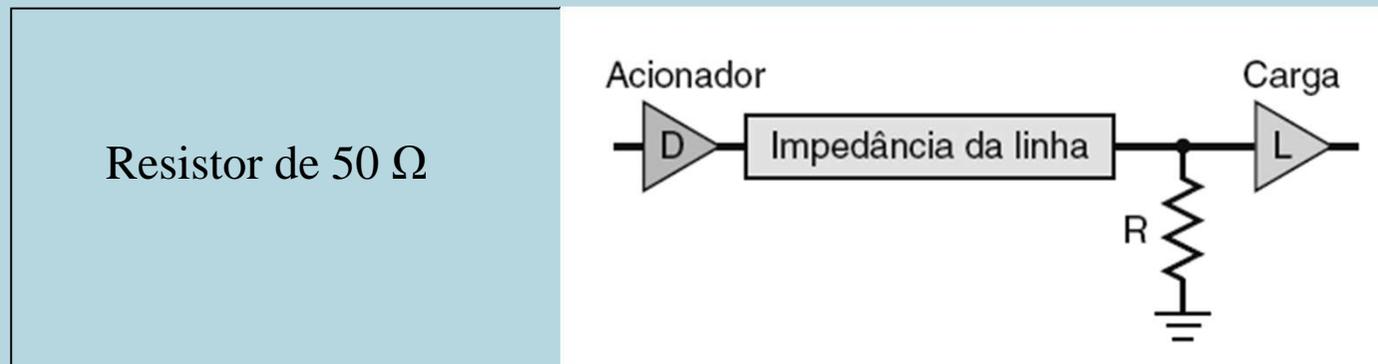
- Símbolo IEEE/ANSI usada para identificar saídas tristate:



A designação IEEE/ANSI padrão para saídas tristate é um triângulo apontando para baixo.

8.13 Interface Lógica de Barramento de Alta Velocidade

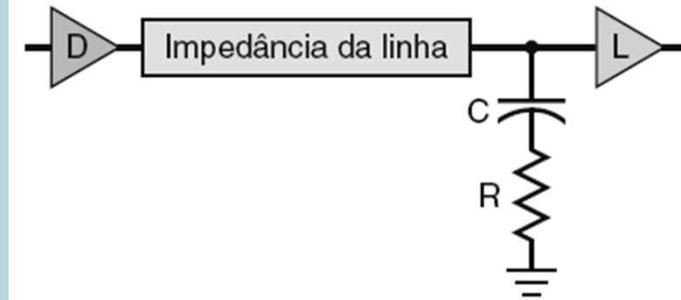
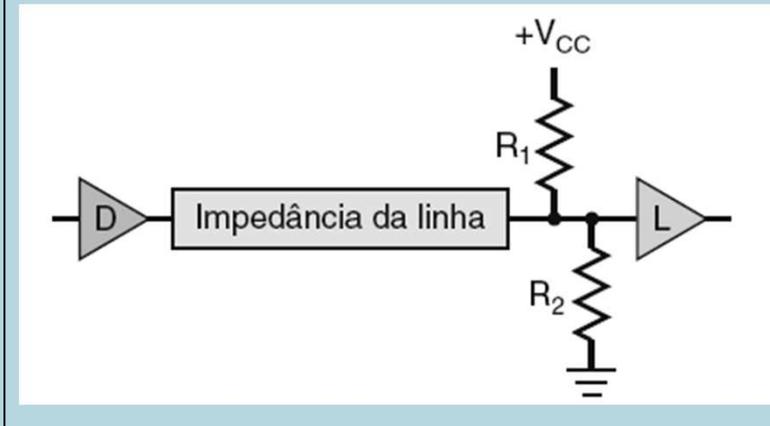
- Em altas frequências, os fios do barramento que possuem mais do que 4” de comprimento agem como linhas de transmissão:
Para prevenir pulsos de onda refletidos, o final do barramento deve ter uma terminação com resistência igual a impedância da linha, de cerca de 50Ω .



8.13 Interface Lógica de Barramento de Alta Velocidade

- Técnicas de terminação de barramento:

Usando um divisor de tensão com resistências maiores que a impedância da linha.

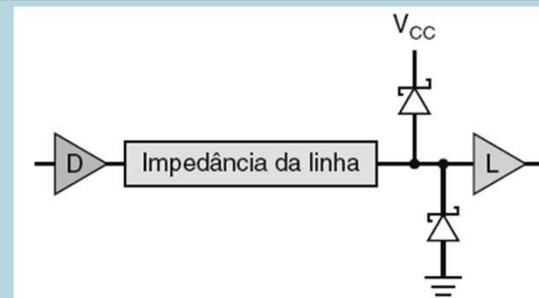


Um capacitor bloqueia DC quando a linha não está mudando de estado, agindo efetivamente como um resistor para o pulso que sobe ou desce.

8.13 Interface Lógica de Barramento de Alta Velocidade

- Técnicas de terminação de barramento:

A terminação usando diodos impede o *overshoot/undershoot* causado pelo efeito *ringing* que surge devido a natureza reativa LC da linha.



A terminação em série na fonte diminui a velocidade de chaveamento reduzindo os limites de frequência do barramento, mas melhora significativamente a confiabilidade dos sinais no barramento.

8.13 Interface Lógica de Barramento de Alta Velocidade

- A série GTLP (*Gunning Transceiver Logic Plus*) de dispositivos de interface lógica foi especialmente desenvolvida para alimentar barramentos relativamente longos.
- *Low-voltage differential signaling* (LVDS) usa dois fios para cada sinal.
Differential signaling significa que ele responde a diferença entre os dois fios.

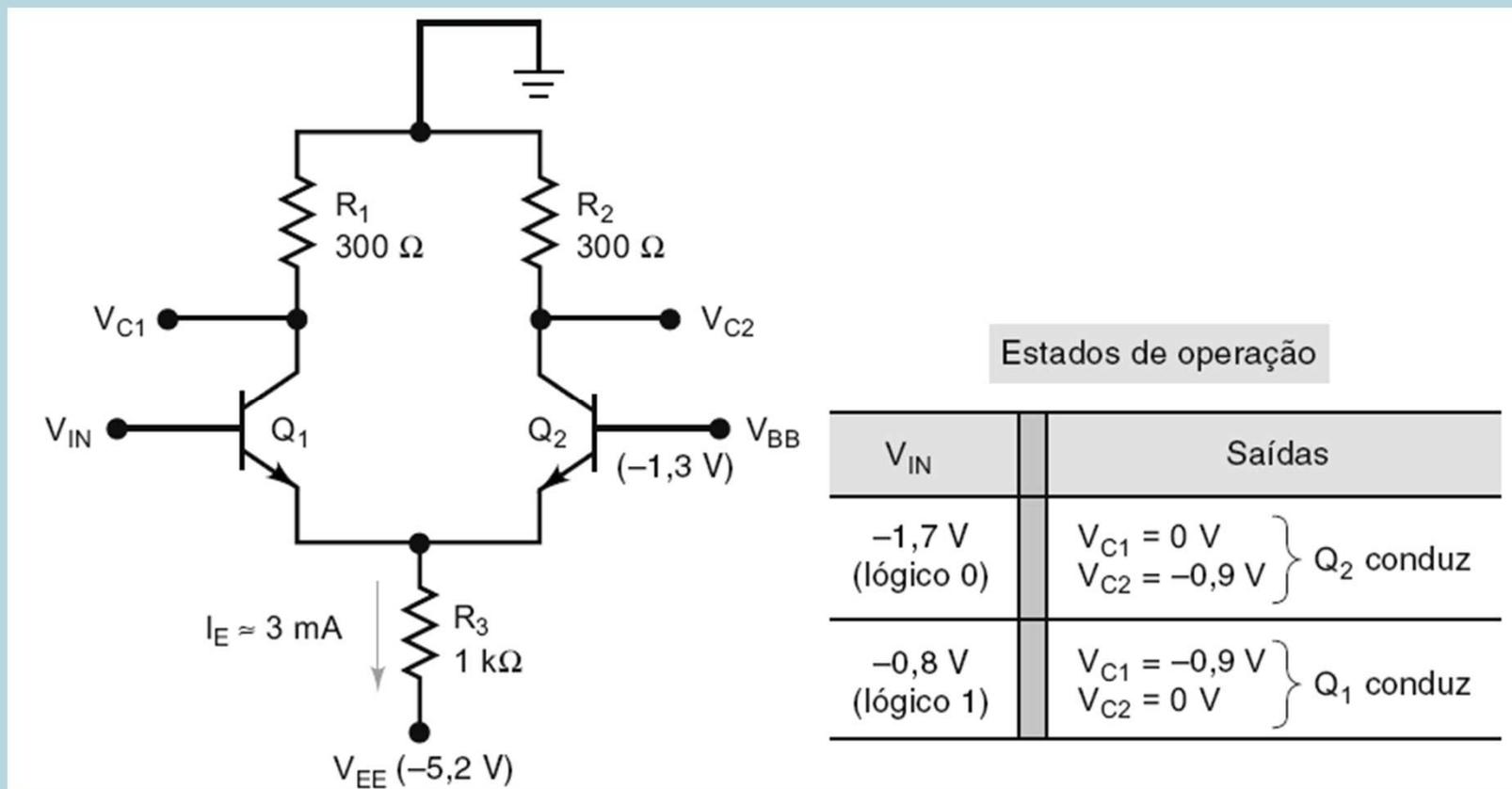
8.14 Família de CIs Digitais ECL

- A família ECL (*emitter-coupled logic*) opera no princípio de chaveamento de corrente no qual uma corrente de polarização fixada menor que I_C (sat) é chaveada do coletor de um transistor para outro.

Também chamada de *current-mode logic* (CML).

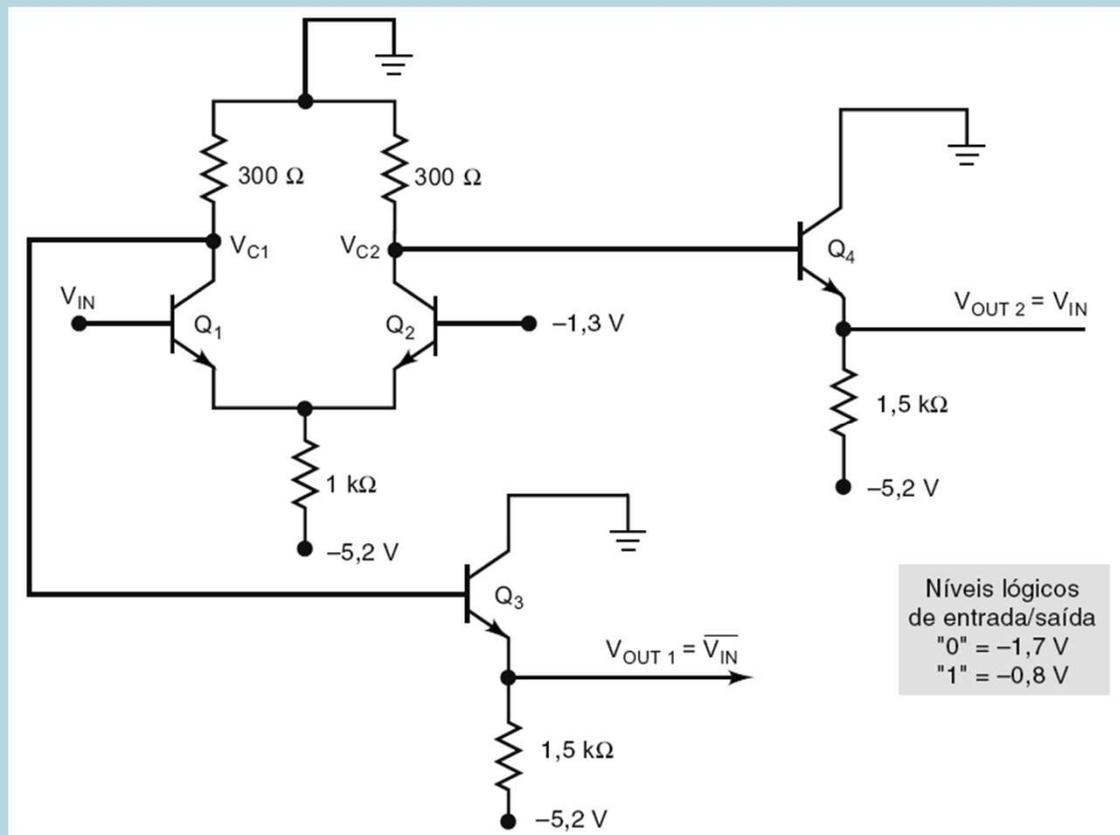
8.14 Família de CIs Digitais ECL

- Circuito ECL básico – amplificador diferencial:



8.14 Família de CIs Digitais ECL

- Porta ECL OR/NOR:



Porta ECL fundamental:
O circuito ECL básico pode ser usado como um INVERSOR se a saída for tomada em V_{OUT1} .

8.14 Família de CIs Digitais ECL

- Características da família ECL:

Chaveamento muito rápido com atraso de propagação típico de 360 ps (mais rápido que TTL ou CMOS).

Níveis lógicos ECL padrão de -0,8 V e 1,7 V para o 1 e 0 lógicos, respectivamente.

Margem de ruído nos piores casos de aproximadamente 150 mV.

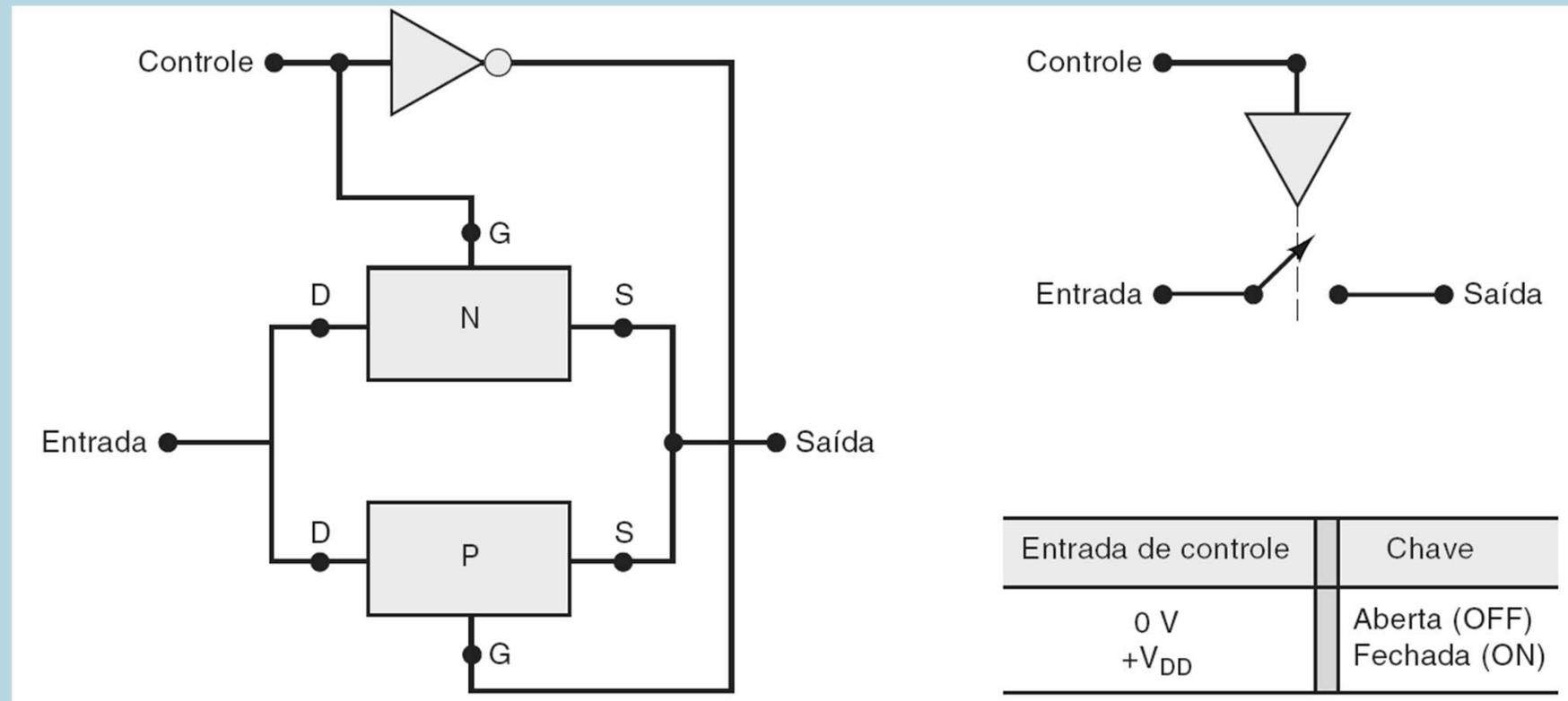
Portas lógicas ECL geralmente produzem uma saída e seu complemento, eliminando a necessidade de inversores.

Fluxo da corrente se mantém constante, eliminando picos de ruído.

8.15 Porta de Transmissão CMOS (Chave Bilateral)

- Um circuito CMOS sem equivalente TTL ou ECL é a porta de transmissão ou chave bilateral:
 - Age essencialmente como uma chave de um pólo e uma posição controlada por um nível lógico de entrada.
 - Permite a passagem do sinal nas duas direções, sendo útil em aplicações digitais e analógicas.
 - As entradas devem ser entre 0 e $+V_{DD}$ V.

8.15 Porta de Transmissão CMOS (Chave Bilateral)



8.15 Porta de Transmissão CMOS (Chave Bilateral)

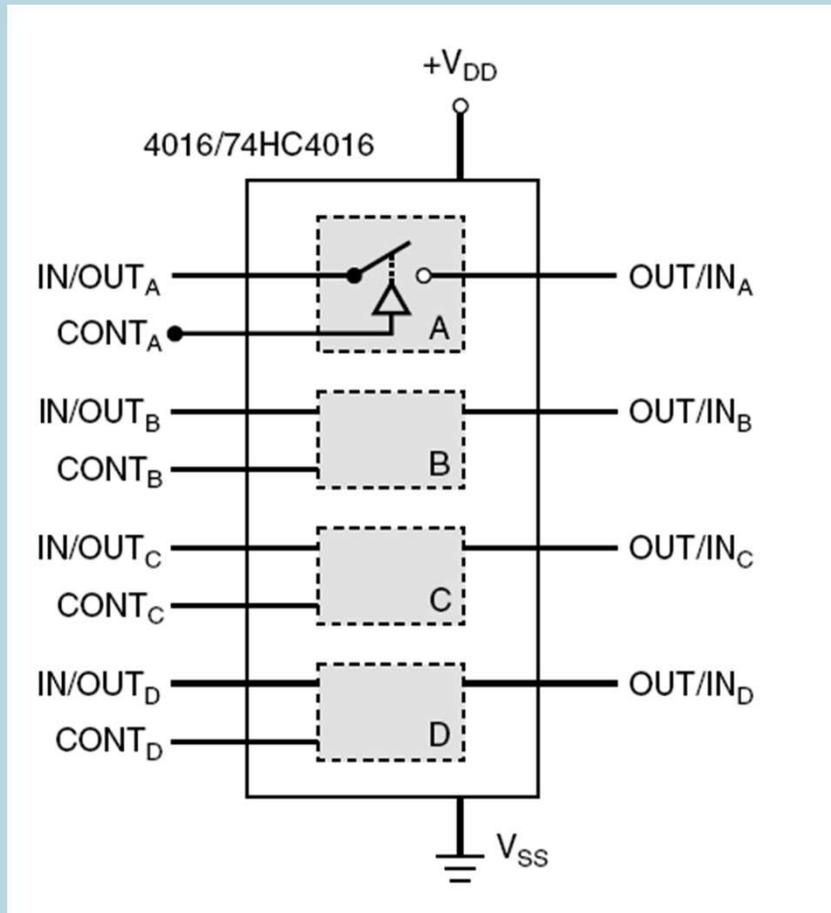


Diagrama lógico para um CI 4016 que contém quatro chaves bilaterais.

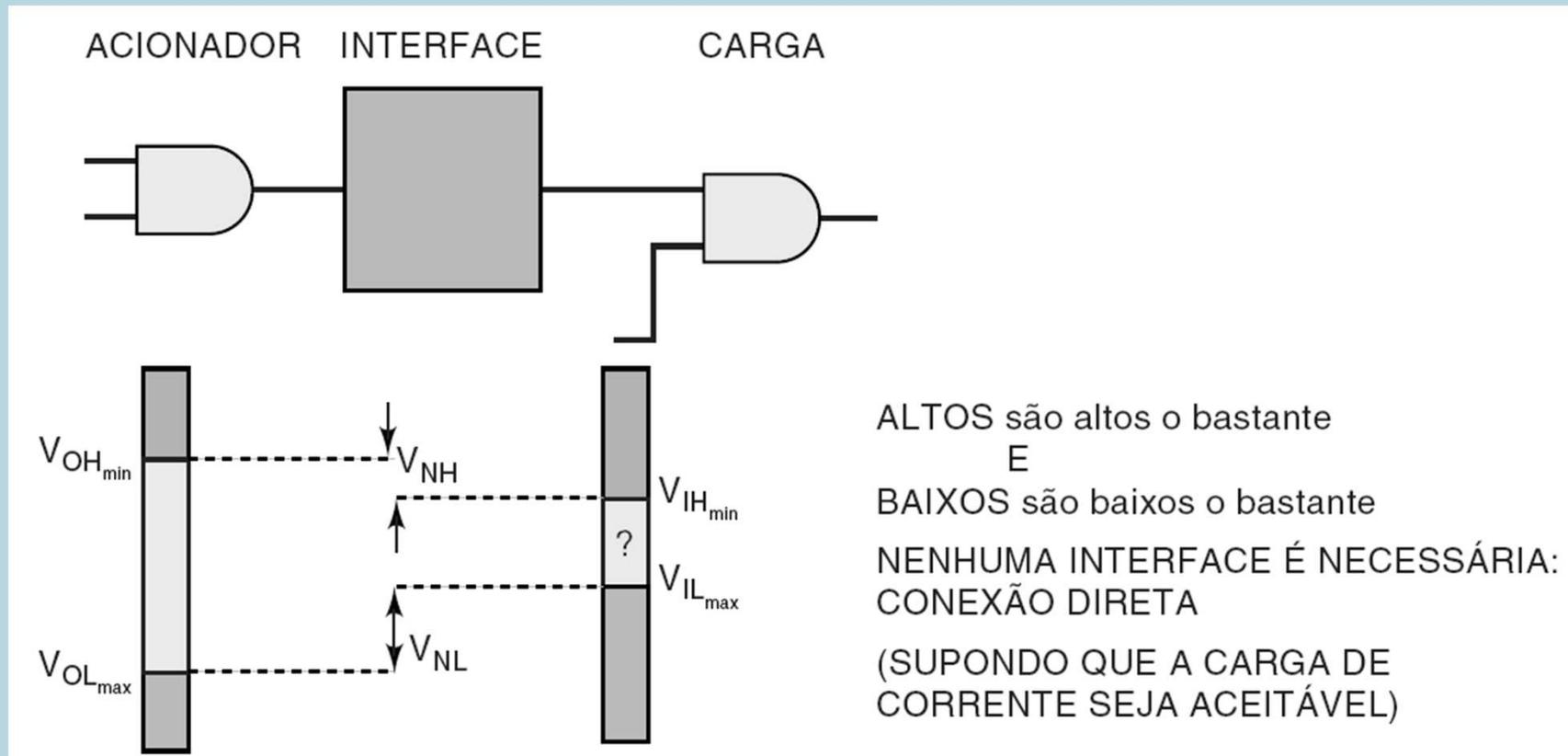
Cada chave é controlada independentemente por sua própria entrada de controle.

Como cada chave é bidirecional, qualquer uma pode servir de entrada ou saída.

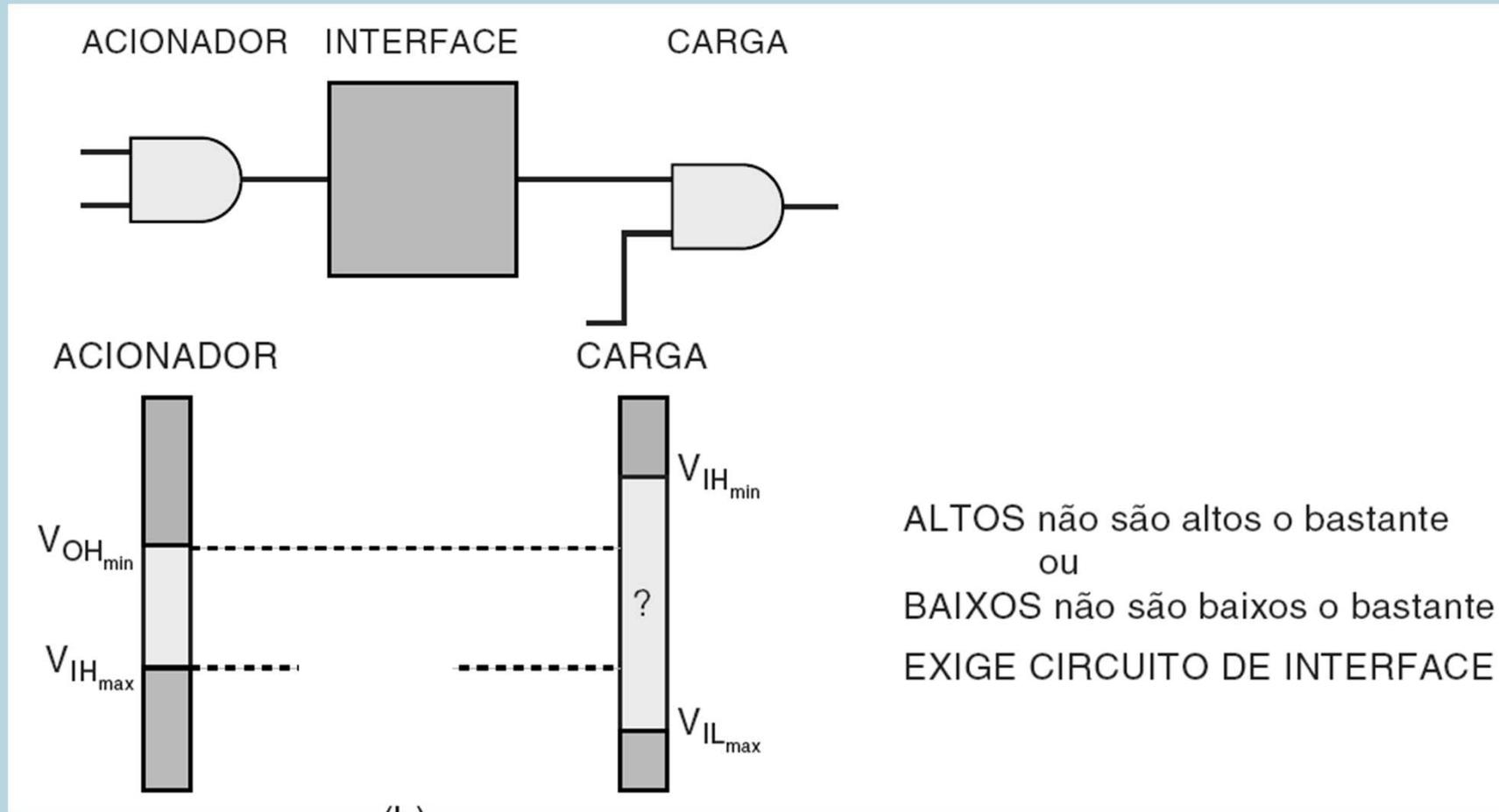
8.16 Interfaceamento de CIs

- Interfaceamento significa conectar saídas de um circuito/sistema às entradas de outro circuito/sistema.
- O circuito de interfaceamento mais simples e desejável entre a alimentação e a carga é uma conexão direta.
Frequentemente uma conexão direta não pode ser feita, devido a diferença nas características elétricas.
- Um circuito de interfaceamento é conectado entre a alimentação e a carga para condicionar o sinal de saída da alimentação para ser compatível com os requisitos da carga.

8.16 Interfaceamento de CIs



8.16 Interfaceamento de CIs



8.16 Interfaceamento de CIs

- Dispositivos lógicos terão compatibilidade de tensão, e não haverá a necessidade de interfaceamento sob as seguintes circunstâncias:

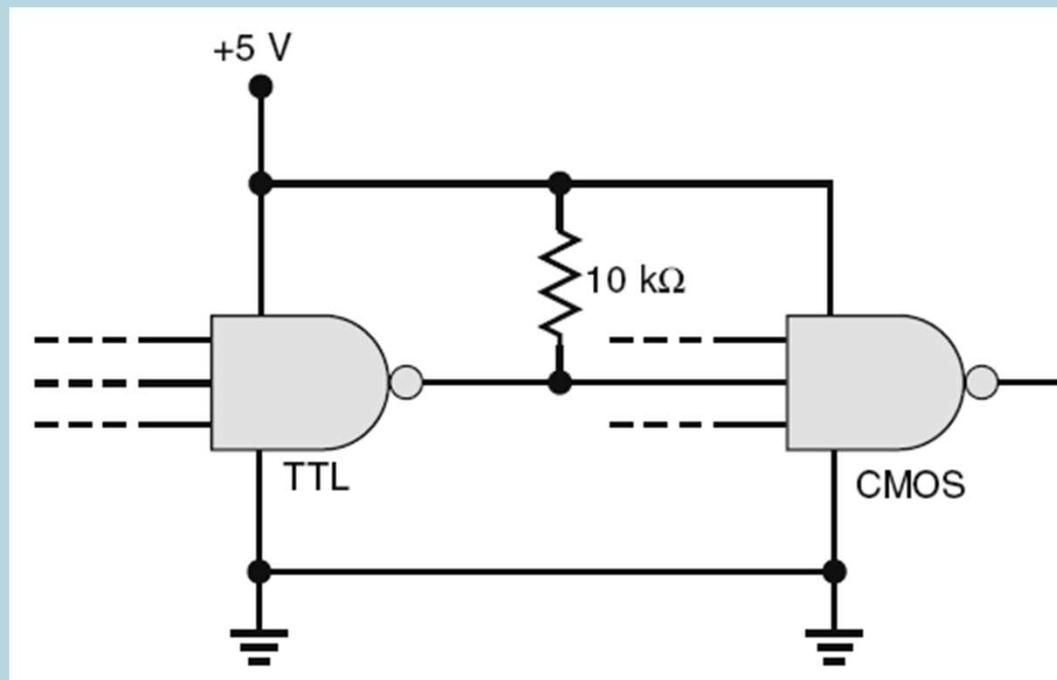
Acionador	Carga
$I_{OH}(\text{máx})$	$> I_{IH}(\text{total})$
$I_{OL}(\text{máx})$	$> I_{IL}(\text{total})$

- Valores nominais para diferentes famílias/séries de dispositivos digitais:

Parâmetro	CMOS				TTL				
	4000B	74HC/HCT	74AC/ACT	74AHC/AHCT	74	74LS	74AS	74ALS	74F
$I_{IH}(\text{máx})$	1 μA	1 μA	1 μA	1 μA	40 μA	20 μA	20 μA	20 μA	20 μA
$I_{IL}(\text{máx})$	1 μA	1 μA	1 μA	1 μA	1,6 mA	0,4 mA	0,5 mA	100 μA	0,6 mA
$I_{OH}(\text{máx})$	0,4 mA	4 mA	24 mA	8 mA	0,4 mA	0,4 mA	2 mA	400 mA	1,0 mA
$I_{OL}(\text{máx})$	0,4 mA	4 mA	24 mA	8 mA	16 mA	8 mA	20 mA	8 mA	20 mA

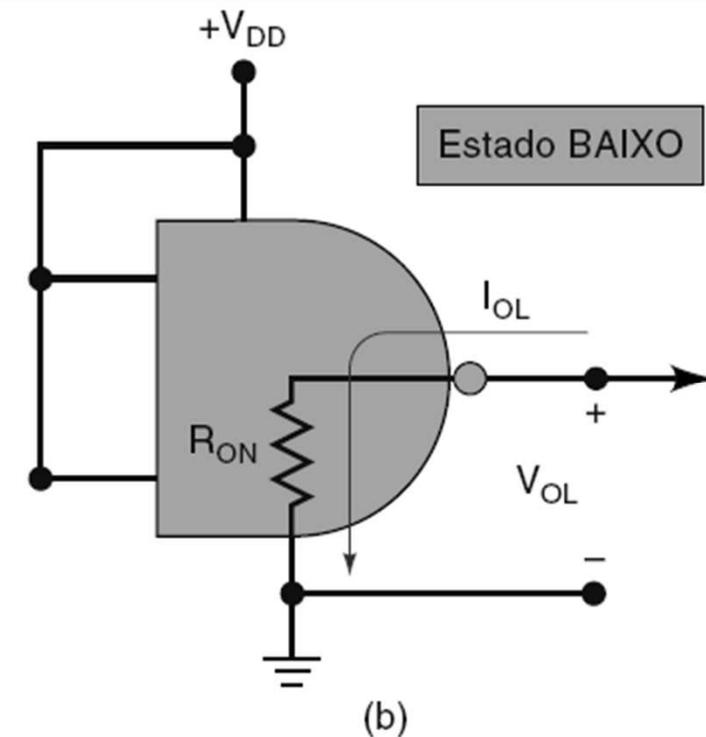
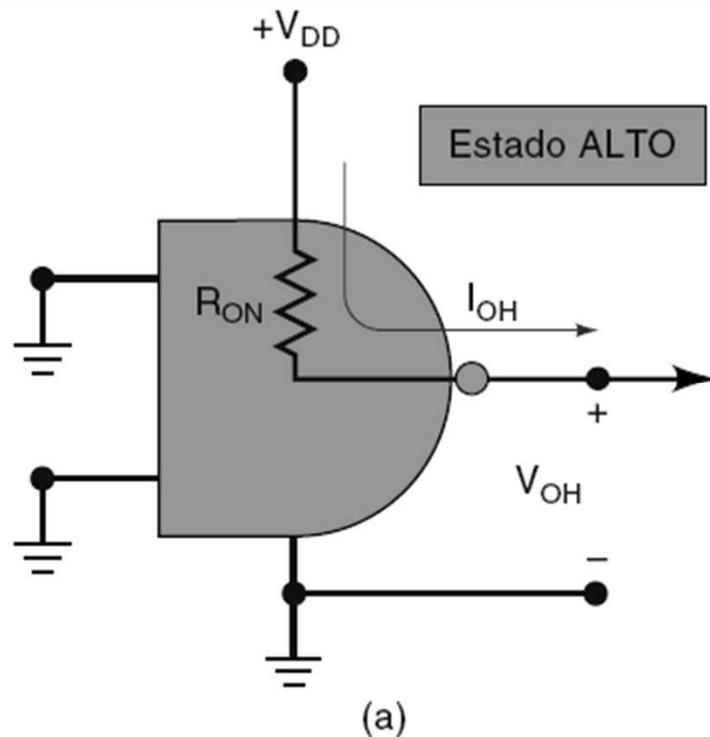
8.16 Interfaceamento de CIs

- Resistor *pull-up* externo usado quando um TTL alimenta um CMOS:



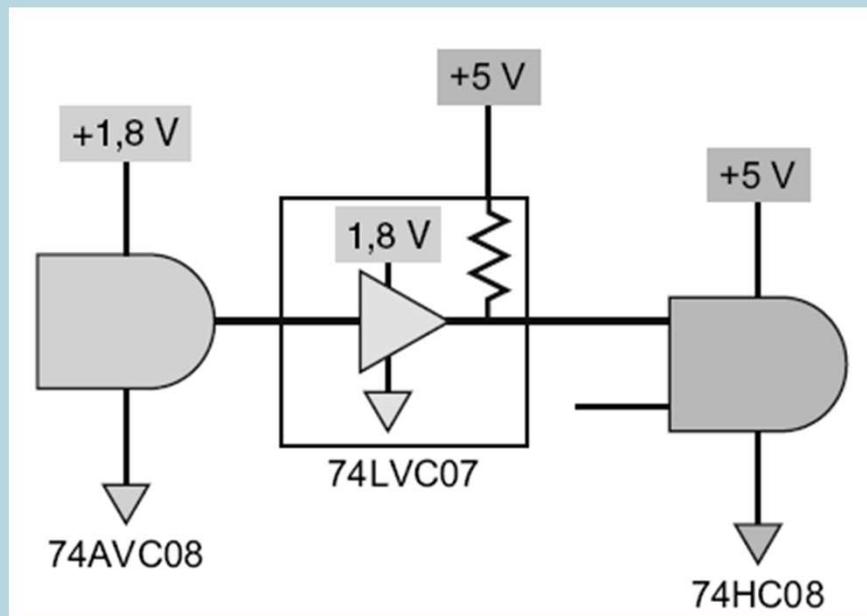
8.16 Interfaceamento de CIs

- Circuitos de saída CMOS equivalentes para ambos estados lógicos:



8.17 Interfaceamento com Tensão Mista

- Quando existe necessidade de deslocamento de maior valor na tensão porque o acionador e a carga operam em diferentes tensões de fonte de alimentação, precisa-se de um circuito de interface conversor de níveis de tensão.

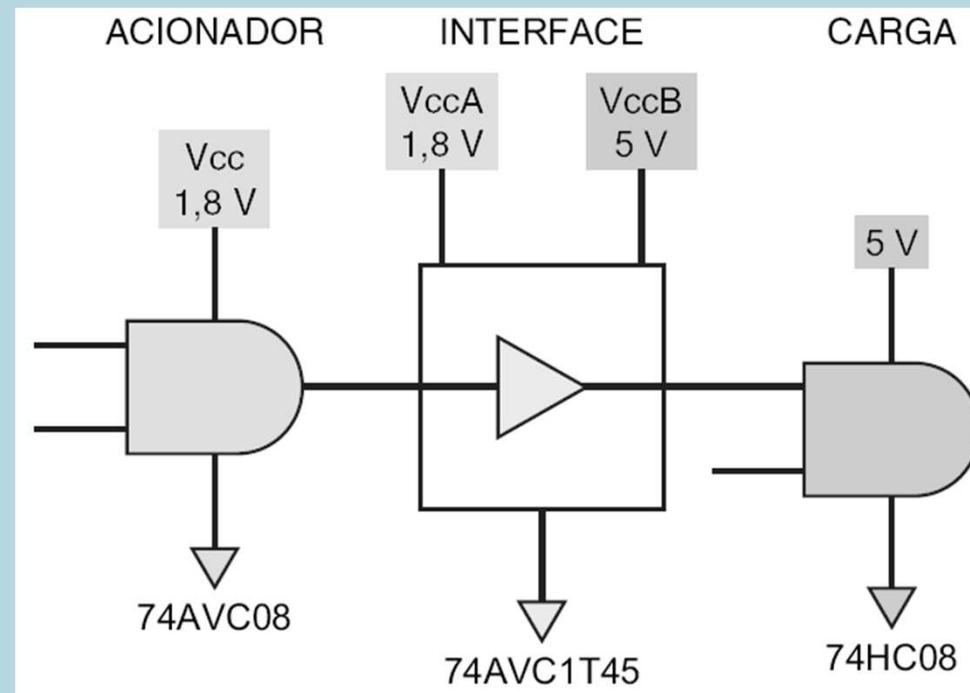


A maneira mais simples para implementar uma solução dessas é com um buffer que possua um dreno aberto, com um resistor *pull-up*.

8.17 Interfaceamento com Tensão Mista

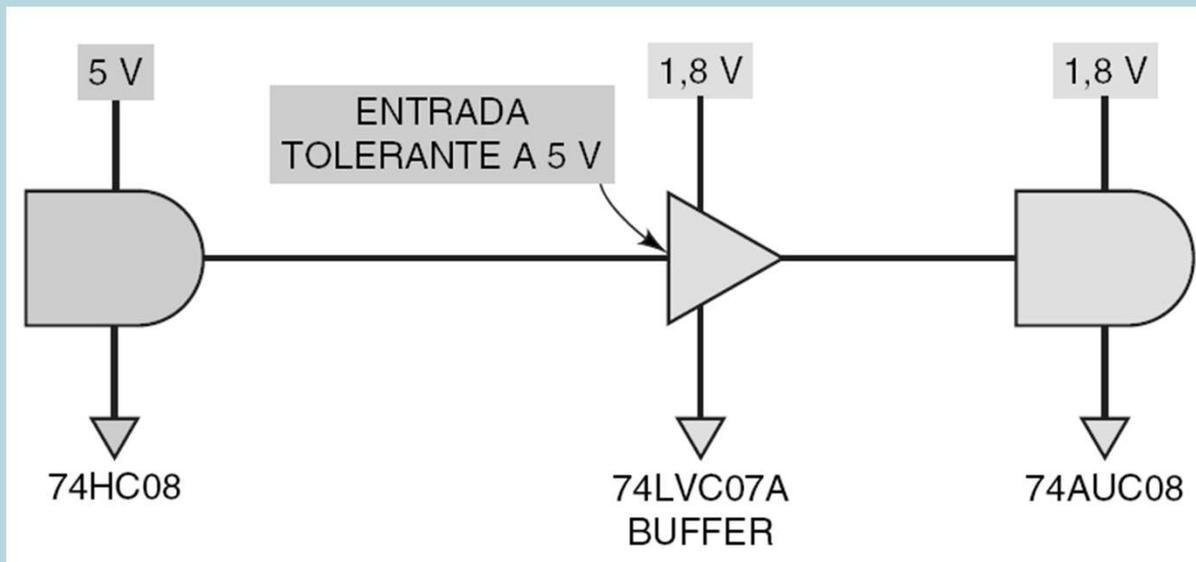
- Quando existe necessidade de deslocamento de maior valor na tensão porque o acionador e a carga operam em diferentes tensões de fonte de alimentação, precisa-se de um circuito de interface conversor de níveis de tensão.

Outra solução é um circuito conversor de tensões com duas fontes de tensão diferentes, uma para cada conjunto de entradas e saídas, convertendo entre os dois níveis.



8.17 Interfaceamento com Tensão Mista

- Quando existe necessidade de deslocamento de maior valor na tensão porque o acionador e a carga operam em diferentes tensões de fonte de alimentação, precisa-se de um circuito de interface conversor de níveis de tensão.
- Outra solução comum é uma interface usando um buffer de uma série que suporte um nível de entrada maior.



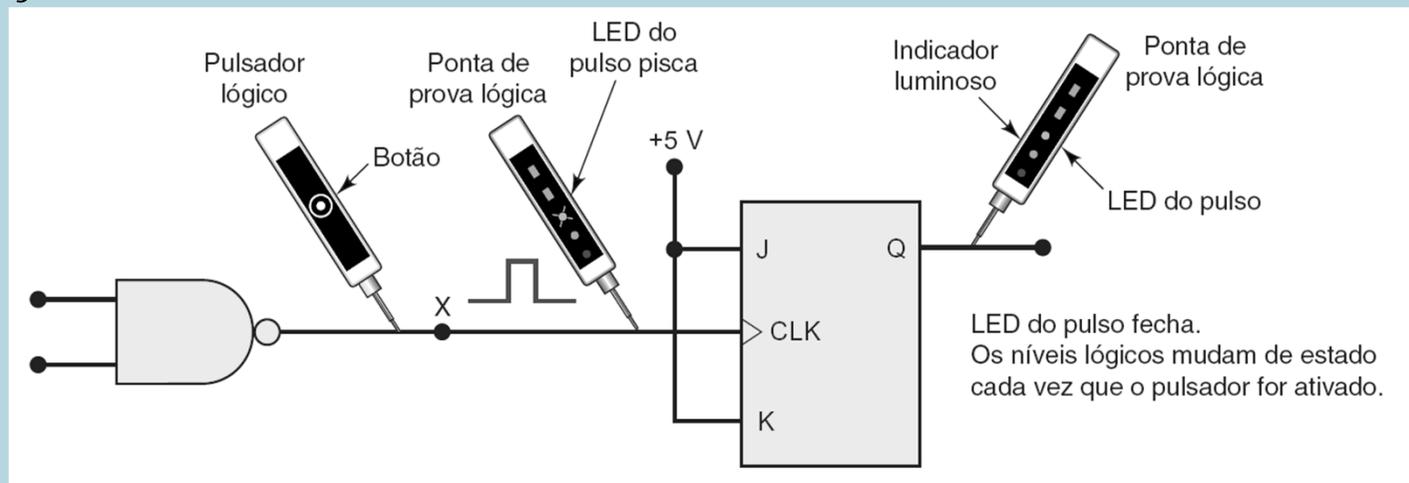
Uma série de baixa tensão com entradas com tolerância a 5-V sendo usada como interface.

8.18 Comparadores de Tensão

- Outro dispositivo muito útil para o interfaceamento de sistemas digitais é o comparador de tensão analógico, que compara duas tensões:
 - Se a tensão de entrada (+) for maior que a tensão de entrada (-), a saída é ALTO.
 - Se a tensão de entrada (-) for maior que a tensão de entrada (+), a saída é BAIXO.
- As entradas de um comparador podem ser consideradas como analógicas:
 - A saída é digital - sempre ALTO ou BAIXO.
- Geralmente é chamado de conversor analógico-digital (A/D) de um bit.

8.19 Análise de Defeitos

- Um gerador de pulso lógico é uma ferramenta de teste/resolução de problemas que gera um pulso de curta duração quando é acionada:
Ela checa o nível de tensão existente no ponto e produz um pulso de tensão na direção contrária.



Um gerador de pulso lógico pode injetar em qualquer ponto não curto-circuitado, direto para o terra ou V_{CC} .

8.20 Características de um FPGA

- Características elétricas e de tempo de resposta para a família de dispositivos Altera Cyclone™ II, uma subcategoria de dispositivos PLD chamada de FPGA (*field programmable gate arrays*).
- Duas fontes de tensão diferentes aplicadas ao chip Cyclone II:
 - V_{CCINT} provê energia para a lógica interna do chip.
O valor nominal é 1.2 V
 - Uma fonte de tensão separada V_{CCIO} energiza os buffers de entrada e saída dos chips Cyclone.

8.20 Características de um FPGA

- Os dispositivos Cyclone suportam uma variedade de padrões de entradas/saídas que permitem maior flexibilidade no desenvolvimento de sistemas:

Parâmetro	Padrão I/O				
	3,3 V LVTTTL	3,3 V LVCMOS	2,5 V LVTTTL & LVCMOS	1,8 V LVTTTL & LVCMOS	1,5 V LVTTTL & LVCMOS
$V_{IL}(\text{máx})$ (V)	0,8	0,8	0,7	$0,35 \times V_{CC10}$	$0,35 \times V_{CC10}$
$V_{IH}(\text{mín})$ (V)	1,7	1,7	1,7	$0,65 \times V_{CC10}$	$0,65 \times V_{CC10}$
$V_{OL}(\text{máx})$ (V)	0,45	0,2	0,4	0,45	$0,25 \times V_{CC10}$
$V_{OH}(\text{mín})$ (V)	2,4	$V_{CC10} - 0,2$	2,0	$V_{CC10} - 0,45$	$0,75 \times V_{CC10}$

Características do Altera Cyclone II utilizando padrões de entrada/saída de uso comum.

- Adicionalmente, a família Cyclone suporta um número diferenciado de padrões de entrada/saída que podem prover:

Imunidade de ruídos melhorada.

Menor geração de interferência eletromagnética (EMI).

Menor consumo de energia.

8.20 Características de um FPGA

- Dispositivos Cyclone II usam CMOS, o que acarreta baixo consumo de energia.
- A potência dependerá do nível de tensão, frequências e carga dos sinais de entrada/saída.
- O software Quartus II tem duas ferramentas usadas para estimar o consumo de energia de uma aplicação:
 - O *PowerPlay Early Power Estimator* é geralmente utilizado nos primeiros estágios de projeto.
 - O *PowerPlay Power Analyzer* é usado com amostras de vetores de teste para gerar estimativas mais precisas.

8.20 Características de um FPGA

- A velocidade de uma aplicação depende de sua aplicação e de como ela é implementada no dispositivo programável:
Chips Cyclone II estão disponíveis em três diferentes grades de velocidade chamadas -6 (barra seis), -7, e -8.

Aplicação	Grade de Velocidade -6	Grade de Velocidade -7	Grade de Velocidade -8
Contador 16-bits	401.6 MHz	349.4 MHz	310.65 MHz
Contador 64-bits	157.15 MHz	137.98 MHz	126.27 MHz